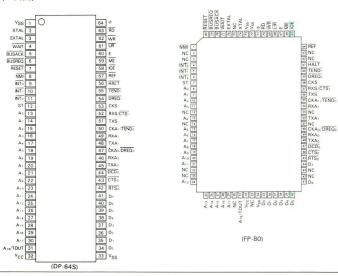
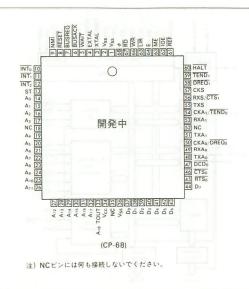
目立マイクロコンピュータシステム インストラクションボケットブック

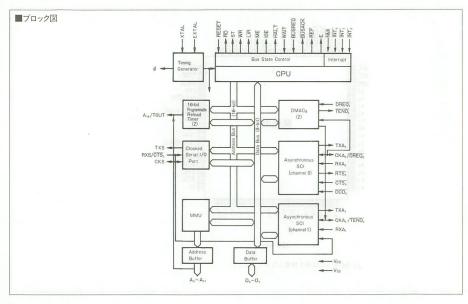
JUN.1986



### ■ ピン配置図(上面図)







# CPUレジスタ

#### 汎用レジスタ

Flag F
C Register
E Register
L Register

└── レジスタセットGR ──

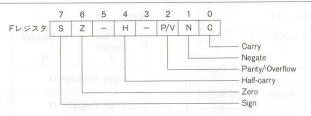
Accumulator A'	Flag F'
B' Register	C' Register
D' Register	E' Register
H' Register	L' Register

← レジスタセットGR'-

# 専用レジスタ

Interrput Vector I	R Counter
Index Reg	ister IX
Index Reg	ister IY
Stack Poir	nter SP
Program C	Counter PC

## ステータスフラグ



## 割込み優先順位

	CW st. etc.		1 L			固	定 コ -	-	
割込み要因	優先度	b <sub>7</sub>	b6	<b>b</b> 5	b4	b <sub>3</sub>	b <sub>2</sub>	b <sub>1</sub>	bo
INT <sub>1</sub>	高	*	*	*	0	0	0	0	0
INT <sub>2</sub>	Î	*	*	*	0	0	0	1	0
タイマチャネル0		*	*	*	0	0	1 1	0	C
タイマチャネル1		*	*	*	0	0	1	1	C
DMAチャネル0		*	*	*	0	1	0	0	(
DMAチャネル1		*	*	*	0	1	0	1	(
シリアル1/0ポート		*	*	*	0	1	1	0	
非同期SCIチャネル0	1	*	*	*	0	1	1	1	(
非同期SCIチャネル1	低	*	*	*	11	0	0	0	(

# 各種要求入力の各動作モードにおける受付け可否一覧表

現在の Action 状態 要求	通常状態 (CPUモード) (IOSTOPモード)	Waitステート	Refresh サイクル	割込み アクノレッジ サイクル	DMA サイクル	BUS RELEASE E-F	SLEEP E-F	SYSTEM STOP E-F	10 AA		
WAIT	受付ける	受付ける	受付けない	受付ける	受付ける	受付けない	受付けない	受付けない	1 20		
Refresh 要 求(内 蔵 リ フレッシュ	マシンサイ クルの切れ 目でリフレ	受付けない	受付けない	マシンサイ クルの切れ 目でリフレ	マシンサイ クルの切れ 目でリフレ	受付けない	受付けない	受付けない	& curr		
回路による リフレッシュサイクル 挿入要求)	ッシュサイ クル挿入		l ust nat	ッシュサイ クル挿入	ッシュサイ クル挿入	OFE PURI	対反 製造 サベ 受力	の音音 高川 点を印 や までト 使の	ACA CA		
DREQ <sub>1</sub>	マシンサイ クルの切れ 目で DMA サイクル挿 入	受付けるが マシンサイ クルの切れ 目 ま で DMA サイ クルは挿入 されない	受付ける (*) Refresh サイクル終 了後、1マ シンサイク ル実行した 後に DMA サイクルが 挿入される。	受付ける マシンサイ クルの切れ 目 で DMA サイクルが 挿入される	受付ける	受付ける (**)パス別 放サイクル 終了サイクレン 後に DMA サイクルが 挿入される。	87	受付けない	(*)		<sup>がレベ</sup> ル検出に設定
BUSREQ	マシンサイ クルの切れ 目 で BUS RELEASE モードにな る	受付けない	受付けない	マシンサイ クルの切れ 目 で BUS RELEASE モードにな る	マシンサイ クルの切れ 目 で BUS RELEASE モードにな る	BUS REL EASE モー ドを継続す る	受付ける	受付ける	(※※) INT。をモ 受付けら	ード 0 で れる。バ 終了後NI	は受付けられない。 使用した場合には スにのせられた命 MIのアクノレッジ

Actio	1	通常状態 (CPUモード) (IOSTOPモード)	Waitステート	Refresh サイクル	割込み アクノレッジ サイクル	DMA サイクル	BUS RELEASE E-F	SLEEP モード	SYSTEM STOP E-F
割	INT <sub>0</sub> INT <sub>1</sub> INT <sub>2</sub>	命令の最後 のマシンサ イクルで受 付ける	命令の最後 のマシンサ イクルで受 付ける	受付けない	受付けない	受付けない	受付けない	受付けられ て SLEEP モードから 通常状態に 復帰する	受付けられ てSYSTEM STOPモー ドから通常 状態に復帰 する
込	内蔵 I/O による 割込み 要求	命令の最後 のマシンサ イクルで受 付ける	命令の最後 のマシンサ イクルで受 付ける	受付けない	受付けない	受付けない	受付けない	受付けられ て SLEEP モードから 通常状態に 復帰する	受付けない割込み要求は発生しない
4	NMI	命令の最後 のマシンサ イクルで受 付ける	命令の最後 のマシンサ イクルで受 付ける	受付けない	受付けない (**)アク ノレッジサ イクル終了 後次の命令 の最後のマ シンサイク	受付ける DMA は中 断される	受付けない	受付けられ て SLEEP モードから 通常状態に 復帰する	受付けられ てSYSTEM STOP モー ドから通常 状態に復帰 する
	の部合で	CHE IS	11119 3	1958 118	ルで受付け られる	A AMOUNT	E 1-13/6051	e i culo histale	PACCAL PACCAL

- (※) DREQ。 DREQ。がレベル検出に設定されている場合は受付けられない。
  - (※※) INT。をモード0で使用した場合には受付けられる。バスにのせられた命令の実行終了後NMIのアクノレッジサイクルに入る。

### 各種要求の優先順位

CPUに対する各種のRequest入力は、次の3つに分類されます。

- ① ステート単位で受付け、実行されるもの……WAIT
- ② マシンサイクル単位で受付け、実行されるもの……リフレッシュ要求

DMA要求 BUSREO

③ 命令単位で受付け、実行されるもの……各種割込み

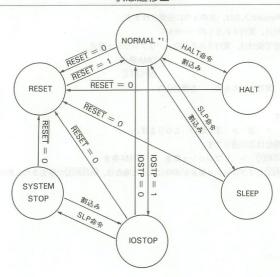
#### 優先順位は原則として

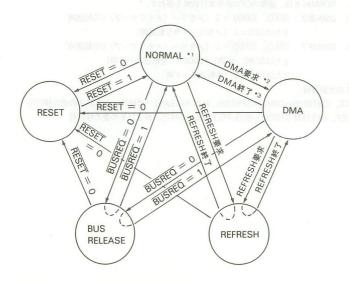
優先度 高い ① > ② > ③ 低い となります。

グループ②内の優先順位は次の通りです。

優先度 高い BUSREQ > リフレッシュ要求 > DMA要求 ただし、BUSREQとリフレッシュ要求が同時に入った場合は、BUSREQが優先され、かつリフレッシュ要求はクリアされます。

# 状態遷移図





- 注) \*1 NORMALとは、通常のCPU命令実行状態を表わす。
  - \* 2 DMA要求: DREQ<sub>0</sub>, DREQ<sub>1</sub> = 0 (メモリー (メモリマップ) I/O転送時) またはDEO = 1 (メモリーメモリ転送時)
  - \* 3  $\mathsf{DMA}$ 終了:  $\overline{\mathsf{DREQ_0}}$ ,  $\overline{\mathsf{DREQ_1}} = 1$  (メモリ $\rightarrow$  (メモリマップ) I/O転送時)

またはBCRO, BCR1=0000H (全転送モード時)

またはNMI=0 (全転送モード時)

#### 上図以外の状態遷移

- 1. HALT, IOSTOPからDMA, REFRESH, BUS RELEASEへの移行, およびその逆の移行可
- 2. SLEEP, SYSTEM STOPからBUS RELEASEへの移行, およびその逆の移行可

### ステータス信号一覧表

各モードでの状態信号の出力を、下記にまとめて示します。

Mt.	モード	LIR	ME	ĪŌĒ	RD	WR	REF	HALT	BUSACK	ST	Address BUS	Data BUS
CPU	第1オペコードフェッチ	0	0	1	0	1	1	1	1	0	А	IN
動作	第1オペコード以外の オペコードフェッチ	0	0	1	0	1	01	1	1	1	А	IN
	メモリリード	1	0	1	0	1	1	1	1	1	А	IN
	メモリライト	1	0	1	1	0	1	1	1	1	А	OUT
	1/0 リード	1	1	0	0	1	1	1	1	1	А	IN
	1/0 ライト	1	1	0	1	0	1	1	1	1	А	OUT
	内部動作	1	1	1	1	1	1	1	1	1	А	IN
リフレッ:	シュ	1	0	1	1	1	0	1	1	*	А	IN
割込み	NMI	0	0	1	0	1	1	1	1	0	А	IN
アクノレッジ	ĪNT <sub>0</sub>	0	1	0	1	1	1	1	1	0	А	IN
(第1マシン サイクル)	INT <sub>1</sub> , INT <sub>2</sub> , & 内部割込み	1	1	1	1	1	1	1	1	0	А	IN

 $<sup>1: \</sup>mathsf{High}$ レベル, $0: \mathsf{Low}$ レベル,\*: 不定,A: 任意値,Z: ハイインピーダンス, $\mathsf{IN}:$  入力, $\mathsf{OUT}:$  出力

	LIR	ME	ĪŌĒ	RD	WR	REF	HALT	BUSACK	ST	Address BUS	Data BUS	
BUS RELEASE		1	Z	Z	ZZ	Z Z	Z 1	1	0	*	Z	IN
HALT		0	0	1	0	1	1	0	1	0	A	IN
SLEEP		1	1	1	1	1	1	0	1	1	1	IN
内部	メモリリード	1	0	1	0	1	1	1	1	0	А	IN
DMA	メモリライト	1	0	1	0 1	0	1	0 1	1	0	А	OUT
	1/0 リード	1	1	0	0	1	1	1	1	0	А	IN
	1/0 ライト	1	1	0	1	0	1	1	1	0	А	OUT
リセット		1	1	1	1	1	1	1	1	1	Z	IN

<sup>1:</sup> Highレベル, 0: Lowレベル, \*: 不定, A: 任意値, Z: ハイインピーダンス, IN: 入力, OUT: 出力

# リセット時および低消費電力モード時の各端子の状態

記 号	端子のモード選択	ý	带 子 0	が状	態
10 .7	710 7 07 2 1 2537	リセット時	SLEEPモード時	IOSTOPモード時	SYSTEM STOPモード時
WAIT	(10)141	IN(N)	IN(N)	IN(A)	IN(N)
BUSACK	(N) EI	1	OUT	OUT	OUT
BUSREQ		IN(N)	IN(A)	IN(A)	IN(A)
RESET	(N)MI	0	IN(A)	IN(A)	IN(A)
NMI		IN(N)	IN(A)	IN(A)	IN(A)
ĪNT <sub>o</sub>	(A) (A)	IN(N)	IN(A)	IN(A)	IN(A)
ĪNT <sub>1</sub>	SAJRU	IN(N)	IN(A)	IN(A)	IN(A)
ĪNT <sub>2</sub>		IN(N)	IN(A)	IN(A)	IN(A)
ST	130/341	1	1	OUT	1
$A_0 \sim A_{17}$	A	Z	1	Α	API 1
A <sub>18</sub> /TOUT	A <sub>18</sub> 選択	Z	1	Α	1
	TOUT選択	Z	OUT	Н	Н
$D_0 \sim D_7$	- Th-	Z	Z	A	Z

<sup>1:</sup>Highレベル、0:Lowレベル、A:任意値、Z:ハイインピーダンス、IN(A):入力(活性)、IN(N):入力(非活性)、OUT:出力、H:指示されたモードに移る前の状態を保持

	W 7 0 7 11 22 10	1	岩 子 の	が状	態
記 号	端子のモード選択	リセット時	SLEEPモード時	IOSTOPモード時	SYSTEM STOPモード時
RTS <sub>0</sub>	T 400 - 4 900 20 1	1999	H_	OUT	Н
CTS <sub>0</sub>	14391	IN(N)	IN(A)	IN(N)	IN(N)
DCD <sub>0</sub>	7110	IN(N)	IN(A)	IN(N)	IN(N)
TXA <sub>0</sub>		1	OUT	Н	H
RXA <sub>o</sub>	79.394	IN(N)	IN(A)	IN(N)	IN(N)
CKA <sub>0</sub> /DREQ <sub>0</sub>	内部クロック選択	Z	OUT	Z	Z
	外部クロック選択	Z	IN(A)	IN(N)	IN(N)
	DREQ。選択	Z	IN(N)	IN(A)	IN(N)
TXA <sub>1</sub>		1	OUT	Н	Н
RXA <sub>1</sub>	-	IN(N)	IN(A)	IN(N)	IN(N)
CKA <sub>1</sub> /TEND <sub>0</sub>	内部クロック選択	Z	OUT	Z	Z
	外部クロック選択	Z	IN(A)	IN(N)	IN(N)
	TEND。選択	Z	1	OUT	1
TXS		1	OUT	Н	Н
RXS/CTS <sub>1</sub>	RXS選択	IN(N)	IN(A)	IN(N)	IN(N)
	CTS <sub>i</sub> 選択	IN(N)	IN(A)	IN(N)	IN(N)

<sup>1:</sup> Highレベル, 0: Lowレベル, A: 任意値, Z: ハイインピーダンス, IN(A): 入力(活性), IN(N): 入力(非活性), OUT:

記号	端子のモード選択	蟒	子 3	が状	態
aL 7	場子のモート選択	リセット時	SLEEPモード時	IOSTOPモード時	SYSTEM STOPモード時
CKS	内部クロック選択	Z	OUT	1	1
	外部クロック選択	Z	IN(A)	Z	Z
DREQ <sub>1</sub>	- 1 mS-2	IN(N)	IN(N)	IN(A)	IN(N)
TEND <sub>1</sub>	13 08 1 0	1	1	OUT	1 000
HALT	1 - 0	1 ×	OUT	OUT	0
REF	-1	1	1	OUT	1
ĪŌĒ		1	1	OUT	1
ME		1	1	OUT	A 1
E	to the second second	0	Eクロック出力	同左	同左
LIR		1	1	OUT	1
WR		1	1	OUT	0 1 000
RD	-	1	1	OUT	1
φ	-	<b>φ</b> クロック出力	同左	同左	同左

<sup>1:</sup>Highレベル、0:Lowレベル、A:任意値、Z:ハイインピーダンス、IN(A):入力(活性)、IN(N):入力(非活性)、OUT:出力、H:指示されたモードに移る前の状態を保持

### 命令セット一覧

命令セットの一覧表の中で使用される記号を以下に説明します。

#### 1. レジスタ指定

g,g,ww,xx,yy,zz はレジスタを指定する記号です。g,g'は8ビットのレジスタ、ww,xx,yy,zz は16ビットのレジスタペアを指 定します。各々対応するレジスタは下記の通りです。

1	g, g'	Reg.
	000	В
	001	C
Ì	010	D
Ì	011	E
ı	100	Н
ı	101	L
Ì	111	А

ww	Reg.
00	BC
01	DE
10	HL
11	SP

9 0	
XX	Reg.
00	BC
01	DE
10	IX
11	SP

уу	Reg
00	BC
01	DE
10	IY
11	SP

ZZ	Reg
00	BC
01	DE
10	HL
11	A,F

#### 2. ビット指定

bは、ビット操作命令におけるビットオペラントが何ビット目かを指定する記号です。各々対応するビットは下記の通りです。

b	Bit
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

#### 3. コンディション指定

fは、演算の結果を判定して命令を実行する場合の条件を 指定する記号です。各々対応するコンディションは下記 の通りです。

f	(	Condition
000	NZ	non zero
001	Z	zero
010	NC	non carry
011	C	carry
100	PO	parity odd
101	PE	parity even
110	P	sign plus
111	M	sign minus

#### 4. リスタートアドレス

vは、リスタート命令のリスタートアドレスを指定する記号です。各々対応するアドレスは下記の通りです。

V	Address
000	00H
001	08H
010	10H
011	18H
100	20H
101	28H
110	30H
111	38H

#### 5. フラグ

フラグの変化を示す記号について説明します。

●:その命令によってフラグは変化しない。

×:その命令によってフラグの変化は不定。

↑: その命令によって演算結果に従いフラグは変化。

S: その命令によって"1"にセット。

R:その命令によって"0"にリセット。

P: その命令によってパリティフラグとして変化。

V:その命令によってオーバフローフラグとして変化。

#### 6. その他

)<sub>M</sub>:()内の内容をアドレスとするメモリを表わします。

)<sub>1</sub>:()内の内容をアドレスとするI/0を表わします。

m:8ビット値

mn:16ビット値

S: ソースアドレッシングモード

D: デスティネイションアドレッシングモー

F.

b・( )м or b・gr:( )内の内容をアドレスとするメモリ、

又はgrで指定されるレジスタの内容の、hで指定されるビットを表わります。

bで指定されるビットを表わします。 or R : rの添字がついていると、8ビットレジス

タを表わします。Rの添字がついている

と、16ビットレジスタを表わします。

		Addre	essing	Machine Bytes					1-1	ag			
MNEMONICS	OP-code					States	Operation	111	_	-			
U.S. E. E. E. C. C.	13 - LONG	S	D	Cycles	TEN	1015	マニカル別数の世 、7	S	Z	Н	P/V	N	С
ΔDD Δ σ	10 000 g	REG	IMP	2	1	4	$A_r + g_r \rightarrow A_r$	1	\$	1			
	-	REGI	IMP	2	1	6	$A_r + (HL)_M \rightarrow A_r$	1	\$	1			
ADD A, m	11 000 110		IMP	2	2	6	$A_r + m \rightarrow A_r$	1	\$	1	V	R	1
ADD A,(IX+d)	11 011 101	IND	IMP	6	3	14	$A_r + (IX + d)_M \rightarrow A_r$	1	<b>‡</b>	1	٧	R	1
ADD A,(IY+d)	< d >	IND	IMP	6	3	14	$A_r + (IY + d)_M \rightarrow A_r$	1	<b>‡</b>	\$	٧	R	<b>‡</b>
ΔΟΟ Δ σ	10 001 g	REG	IMP	2	1	4	$A_r + g_r + c \rightarrow A_r$	1	1	1			
		REGI	IMP	2	1	6	$A_r + (HL)_M + c \rightarrow A_r$	1	\$	1			
ADC A, m	11 001 110	The second	IMP	2	2	6	$A_r + m + c \rightarrow A_r$	1	1	1	V	R	\$
ADC A,(IX+d)	11 011 101	IND	IMP	6	3	14	$A_r + (IX + d)_M + c \rightarrow A_r$	1	1	1	V	R	1
ADC A, (IY+d)	and the second second		IMP	6	3	14	$A_r + (IY + d)_M + c \rightarrow A_r$	1	1	1	V	F	1 1
	ADD A, (IX+d)  ADD A, (IY+d)  ADC A, g ADC A, (HL) ADC A, m  ADC A, (IX+d)	ADD A, g ADD A, (HL) ADD A, (IX+d) ADD A, (IX+d) ADD A, (IX+d) ADD A, (IY+d) ADD A, (IY+d) ADD A, (IX+d) ADD A, (IX+d) ADD A, (IX+d) ADC A, g ADC A, G ADC A, G ADC A, (IX+d) ADC A, (IY+d) ADC A, (IX+d) ADC A, IIX+d)	MNEMONICS OP-code S  ADD A, g ADD A, (HL) ADD A, m ADD A, (IX+d) ADD A, (IX+d) ADD A, (IY+d) ADD A, (IY+d) ADD A, (IY+d) ADD A, (IX+d) ADD A,	ADD A, g ADD A, (IX+d)	MNEMONICS OP-code	MNEMONICS         OP-code         Modes         Machine Cycles         Bytes           ADD A, g ADD A, (HL) ADD A, m         10 000 g 110 000 110 ⟨ m ⟩         REG REGI IMP         1MP         2 1 1 1 MP         1 2 2 2 2 2           ADD A, (IX+d)         11 011 101 10 000 110 ⟨ d ⟩         IMP         6 3         3           ADD A, (IY+d)         11 111 101 10 000 110 ⟨ d ⟩         IND         IMP         6 3         3           ADC A, g ADC A, (HL)         10 001 g 11 001 110 ⟨ m ⟩         REG REGI IMP         IMP         2 1 1 MMED         1 1 MMED         1 1 MP         2 1 1 MMED         1 1 MP         1 1 1 0 001 110 ⟨ d ⟩         1 1 1 111 101 10 001 110 ⟨ d ⟩         IMP         6 3         3	MNEMONICS         OP-code         Modes         Machine Cycles         Bytes         States           ADD A, g ADD A, (HL) ADD A, m         10 000 g 11 0000 110 ⟨ m ⟩         REG IMP         IMP         2         1         4           ADD A, (IX+d)         11 000 110 ⟨ m ⟩         IMP         2         1         6           ADD A, (IX+d)         11 011 101 10 000 110 ⟨ d ⟩         IMP         6         3         14           ADD A, (IY+d)         11 111 101 10 000 110 ⟨ d ⟩         IND         IMP         6         3         14           ADC A, g ADC A, (IX+d)         10 001 g 11 001 110 ⟨ d ⟩         REG REGI IMP         IMP         2         1         4           ADC A, (IX+d)         11 011 101 10 001 110 ⟨ d ⟩         IND         IMP         6         3         14           ADC A, (IX+d)         11 011 101 10 001 110 ⟨ d ⟩         IND         IMP         6         3         14           ADC A, (IY+d)         11 111 101 10 001 110 ⟨ d ⟩         IND         IMP         6         3         14	$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$	$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$	$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$	MNEMONICS         OP-code         Adult desire Modes         Machine Cycles         Bytes         States         Operation         7 6 4         5 Z H           ADD A, g ADD A, (HL) 10 000 110 ADD A, m         10 000 110 REGI IMP 2 1 6 Ar+(HL) M→Ar 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	$ \begin{array}{c ccccccccccccccccccccccccccccccccccc$	MNEMONICS         OP-code         Additional Modes         Machine Cycles         Bytes         States         Operation         7 6 4 2 1 1 S Z H P/V N           ADD A, g ADD A, (HL) 10 000 110 ADD A, m ADD A, (IX+d) 11 011 101 10 000 110 ⟨ d ⟩         11 000 110 IMP 11 01 IMP 11 01 IND 11 10 IND 11 10 11 000 110 ⟨ d ⟩         IMP 2 2 1 6 Ar + (HL) M→Ar Ar ↑ ↑ ↑ ↑ ↑ ↑ ▼ V R           ADD A, (IX+d) 11 011 101 10 000 110 ⟨ d ⟩ ADD A, (IY+d) 11 111 101 10 000 110 ⟨ d ⟩         IMP 6 3 14 Ar + (IX+d) M→Ar ↑ ↑ ↑ ↑ ↑ ▼ V R           ADC A, g ADC A, (HL) 10 10 10 ADC A, m ADC A, (IX+d) 11 011 101 (

Operation	MANEMANNIAG			essing	Machine Cycles	Bytes	1441				F	lag		Т
name	MNEMONICS	OP-code	Mo				States	Operation	7	6		2		-
			S	D	0,000				S	Z	Н	P/V	N	(
AND		10 100 g	REG	IMP	2	1	4	$A_r \cdot g_r \rightarrow A_r$	1	<b>‡</b>	S	Р	R	F
	AND (HL)	10 100 110		IMP	2	1	6	$A_r \cdot (HL)_M \rightarrow A_r$	1	1	S	P	R	F
	AND m	11 100 110 < m >	IMMED	IMP	2	2	6	$A_r \cdot m \rightarrow A_r$	1	1	S	P	R	
	AND (IX+d)	11 011 101 10 100 110 〈 d 〉	IND	IMP	6	3	14	$A_r \cdot (IX + d)_M \rightarrow A_r$	‡	1	S	P	R	F
	AND (IY+d)	11 111 101 10 100 110 〈 d 〉	IND	IMP	6	3	14	$A_r \cdot (IY + d)_M \rightarrow A_r$	1	<b>‡</b>	S	Р	R	F
Compare	CP g	10 111 g	REG	IMP	2	1	4	$A_r - g_r$	Î	1	1	V	S	1
	CP (HL)	10 111 110	REGI	IMP	2	1	6	Ar - (HL) M	1	1	1	V	S	
	CP m	11 111 110 < m >	IMMED	IMP	2	2	6	$A_r - m$	1	1	1		S	
	CP (IX+d)	11 011 101 10 111 110 < d >	IND	IMP	6	3	14	$A_r - (IX + d)_M$	1	1	1	٧	S	<b>‡</b>
	CP (IY+d)	11 111 101 10 111 110 〈 d 〉	IND	IMP	6	3	14	$A_r - (IY + d)_M$	1	<b>1</b>	<b>1</b>	٧	S	1

		Addressing			1	and in				Fla	ag			
Operation	MNEMONICS	OP-code	Mod		Machine	Bytes	States	Operation	7	_	4	2		
name	WI LEWIST WOO		S	D	Cycles				S	Z	H	P/V	N	С
COMPLEMENT	CPL	00 101 111	IMP	IMP	1	1	3	$\overline{A_r} \rightarrow A_r$	•	•	S	•	S	•
DEC	DEC g	00 g 101	REG	REG	2	10	4	$g_r - 1 \rightarrow g_r$	1	<b>1</b>	1	٧		
DEC	DEC (HL)	00 110 101	REGI	REGI	4	1	10	$(HL)_M - 1 \rightarrow (HL)_M$	1	1	\$	V		
	DEC (IX+d)	11 011 101 00 110 101	IND	IND	8	3	18	$(IX+d)_{M}-1 \rightarrow (IX+d)_{M}$	1	\$	<b>1</b>	V	S	0
	DEC (IY+d)	(d) 11 111 101 00 110 101 (d)	IND	IND	8	3	18	$(IY + d)_M - 1 \rightarrow (IY + d)_M$	1	1	<b>1</b>	٧	S	•
INC	INC g	00 g 100	REG	REG	2	1	4	$g_r + 1 \rightarrow g_r$	1	1	<b>‡</b>	٧	R	
1140	INC (HL)	00 110 100	REGI	REGI	4	1	10	$(HL)_M + 1 \rightarrow (HL)_M$	1	1	1	V		
	INC (IX+d)	11 011 101 00 110 100	IND	IND	8	3	18	$(1X+d)_M+1 \rightarrow (1X+d)_M$	\$	1	1	V	R	•
	INC (IY+d)	〈 d 〉 11 111 101 00 110 100 〈 d 〉	IND	IND	8	м 3	g 18	$(IY + d)_M + 1 \rightarrow$ $(IY + d)_M$	1	<b>‡</b>	1	٧	R	•
MULT	MLT ww	11 101 101 01 ww1 100	REG	REG	13	2	17	$wwH_r \times wwL_r \rightarrow wwR$	•	•	•		6	

Operation				ssing	Machine Cycles	Machine					F	ag	I cs	
name	MNEMONICS	OP-code	Мо	PER PE		Bytes	States	Operation	7	6	4	2	1	(
MARKET S.	6		S	D	-,5.00				S	Z	Н	P/V	Ν	(
NEGATE	NEG A- 11	11 101 101 01 000 100	IMP	IMP	2	2	6	$0 - A_r \rightarrow A_r$	1	1	1	٧	S	1
OR	OR g	10 110 g	REG	IMP	2	1	4	$A_r + g_r \rightarrow A_r$	<b>‡</b>	1	R	Р	R	F
	OR (HL)	10 110 110	REGI	IMP	2	1 1	6	$A_r + (HL)_M \rightarrow A_r$	1	1	R	P	R	F
	OR m	11 110 110 < m >	IMMED	IMP	2	2	6	$A_r + m \rightarrow A_r$	1	1	R	Р	R	F
	OR (IX+d)	11 011 101 10 110 110 < d >	IND	IMP	6	3	14	$A_r + (IX + d)_M \rightarrow A_r$	\$	1	R	P	R	F
savij	OR (IY+d)	11 111 101 10 110 110 〈 d 〉	IND	IMP	6	3	14	$A_r + (IY + d)_M \rightarrow A_r$	\$	1	R	P	R	F
SUB	SUB g	10 010 g	REG	IMP	2	1	4	$A_r - g_r \rightarrow A_r$	1	1	1	V	S	1
	SUB (HL)	10 010 110	REGI	IMP	2	1	6	$A_r - (HL)_M \rightarrow A_r$	1	Î	1			1
	SUB m	11 010 110 〈 m 〉	IMMED	IMP	2	2	6	$A_r - m \rightarrow A_r$	\$		1		S	1
	SUB (IX+d)	11 011 101 10 010 110 〈d〉	IND	IMP	6	3	14	$A_r - (IX + d)_M {\rightarrow} A_r$	\$	<b>‡</b>	1	٧	S	1

gath		n Tiply a	Addre	ssing	Machine Cycles		ytes States				FI	ag		
Operation	MNEMONICS	OP-code	Mod					Operation		6	4	2	1	0
name	8		S	D					S	Z	Н	P/V	Ν	C
SUB	SUB (IY+d)	11 111 101 10 010 110 〈 d 〉	IND	IMP	6	3	3.14	$A_r - (IY + d)_M \rightarrow A_r$	1	1	1	V	S	\$
SUBC	SBC A, g	10 011 g	REG	IMP	2	1	4	$A_r - g_r - c \rightarrow A_r$	1	<b>‡</b>	<b>1</b>	V	S	<b>‡</b>
A A A A I	SBC A,(HL)	10 011 110	REGI	IMP	2	10	6	$A_r - (HL)_M - c \rightarrow A_r$	1	1	1	V	S	<b>‡</b>
	SBC A,m	11 011 110	IMMED	IMP	2	2	6	$A_r - m - c \rightarrow A_r$	1	1	1	٧	S	1
	in a milber	( m )			9-11-5	Mary n	DAM! LO	TOTAL (0+XI) FI	7					
	SBC A,(IX+d)	11 011 101 10 011 110	IND	IMP	6	3	14	$A_r - (IX + d)_M - c \rightarrow A_r$	<b>‡</b>	1	1	V	S	<b>‡</b>
	SBC A, (IY+d)	<pre></pre>		IMP	6	3	14	$A_r - (IY + d)_M - c \rightarrow A_r$	<b>‡</b>	<b>‡</b>	\$	٧	S	1
TEST	TST g	11 101 101 00 g 100	Partie Partie		3	2	7	A <sub>r</sub> • g <sub>r</sub>	1	1	S	P	R	R
l a v i i	TST (HL)	11 101 101 00 110 100	REGI		4	2	10	A <sub>r</sub> ·(HL) <sub>M</sub>	1	1	S	P	R	R

Operation	MNEMONICS	00		essing	Machine		A					lag		
name	MINEMONICS	OP-code	S	des	Cycles	Bytes	States	Operation	7				1	
NZ 24 V N P1 2	6		5	D			21 15		S	Z	Н	P/\	/ N	(
TEST	TST m	11 101 101 01 100 100 〈m〉	IMMED		3	3	9	A <sub>r</sub> ·m	\$	\$			R	
XOR	XOR g	10 101 g	REG	IMP	2	1	4	$A_r \oplus g_r \rightarrow A_r$	1	1	R	Р	R	-
	XOR (HL)	10 101 110	REGI	IMP	2	1	6	$A_r \oplus (HL)_M \rightarrow A_r$	<b>†</b>	<b>*</b>	R	P	R	
	XOR m	11 101 110 〈m〉	IMMED	IMP	2	2	6	$A_r \oplus m \rightarrow A_r$	1	<b>‡</b>			R	
	XOR (IX+d)	11 011 101 10 101 110	IND	IMP	6	3	14	$A_r \oplus (IX + d)_M \rightarrow A_r$	1	1	R	P	R	R
	XOR (IY+d)	〈d〉 11 111 101 10 101 110 〈d〉	IND	IMP	6	3	14	$A_r \oplus (IY + d) \xrightarrow{M} A_r$	<b>‡</b>	<b>‡</b>	R	Р	R	R
						WIII	BOLL TO	LIG THE GREAT	-					
Rotate and	RLA	00 010 111	IMP	IMP	1	1	3	1 1007 (1)			R		R	+
Shift Data	RL g	P. 17	REG	REG	3	2	7	4411114	1	<b>1</b>	R	P	R	*
		00 010 g			V 1	MI	Detroit	C b7 ← b0	la i					
	RL (HL)	11 001 011 00 010 110	REGI	REGI	5	2	13	100 H	1	1	R	P	R	1

385		1/10 1/10	Addre	essing			A				FI		10	
Operation	MNEMONICS	OP-code	Mod		Machine Cycles	Bytes	States	Operation	_	6		2		_
name	8		S	D	Cycles				S	Z	Н	P/V	Ν	C
Rotate and Shift Data	RL (IX+d)	11 011 101 11 001 011 〈d〉	IND	IND	7	4	19		<b>‡</b>	\$	R	P	R	<b>‡</b>
	RL (IY+d)	00 010 110 11 111 101 11 001 011 〈d〉	IND	IND	7	4	19		N.	<b>‡</b>	R	Р	R	1
	RLCA RLC g	00 010 110 00 000 111 11 001 011	IMP REG	IMP REG	1 3	1 2	3 7	C b7← b0	1	• \$	R	P	R	
	RLC (HL)	00 000 g 11 001 011 00 000 110	REGI	REGI	5	2	13	1 101 01 1 101 01	<b>‡</b>	\$	R	Р	R	<b>‡</b>
	RLC (IX+d)	11 011 101 11 001 011	IND	IND	7	4	19	(0)		1		P		
: 用 W 用 e : 有 可 用 : : 由 可 用 :	RLC (IY+d)	(d) 00 000 110 11 111 101 11 001 011 (d) 00 000 110	IND	IND	7	4	19	0 10 00 A 0 100 11 B 0 10 00 B 0 100 11 (LH)	1	\$		P		

Operation			Addr	essing	Machine		IA I				FI	ag	-10	
name	MNEMONICS	OP-code		des	Cycles	Bytes	States	Operation	7	6	4	2	1	(
V 14-78-3 - 3			S	D		9	8		S	Z	Н	P/V	N	(
Rotate and	RLD	11 101 101	IMP	IMP	8	2	16	TTTT A	1	<b>‡</b>	R	P	R	•
Shift Data		01 101 111						b7 b0	2.5					
	RRA	00 011 111	IMP	IMP	1	. 1	3	b7 b0 (HL) M			R		R	
	RR g	11 001 011	REG	REG	3	2	7	07 00	1	Î	R	P	R	
		00 011 g								•				,
	RR (HL)	11 001 011	REGI	REGI	5	2	13	b7 → b0 C	1	\$	R	P	R	1
		00 011 110		2	2 5		ilvii 10							
	RR (IX+d)	11 011 101	IND	IND	7	4	19		1	1	R	P	R	-
	10	11 001 011		5	E 13		BH [1]							
		〈d〉 00 011 110			8 10		39 7		5					
	RR (IY+d)	11 111 101	IND	IND	7	4	19		4	*	D		D	
	7.1.7 (1.1.0)	11 001 011	IIND	IIND	- 1	341	19		+	1	H	P	H	
		<d>&gt;</d>					111							
		00 011 110		- 1- 1			101							
	RRCA	00 001 111	IMP	IMP	1	1	3	A THE PARTY OF THE		•	R	•	R	
	RRC g	11 001 011	REG	REG	3	2	7		\$	1	R	P	R	,
		00 001 g					100	b7 <del>→</del> b0 C						
	RRC (HL)	11 001 011	REGI	REGI	5	2	13	0 100 tt n AF	1	1	R	P	R	,
	0.00	00 001 110						u (01 00						

Operation	MNEMONICS	OP-code	Addre	essing des	Machine	Bytes	States	Operation	7	6	FI 4	ag 2	1	0
name	WINTERVIOR	0. 0000	S	D	Cycles	Dytos	Otatos		S	Z	P/V	H	N	C
Rotate and Shift Data	RRC (IX+d)	11 011 101 11 001 011 〈d〉	IND	IND	7	4	19		\$	\$			R	
	RRC (IY+d)	00 001 110 11 111 101 11 001 011 〈 d 〉	IND	IND	7	4	19	AR 00 00 01 1 00 0 0 1 1 00 1 0 1 1 0 0 0 1 1 8 1 1 1 1	1	\$	R	P	R	\$
	RRD	00 001 110 11 101 101	IMP	IMP	8	2	16	A <sub>r</sub> b <sub>7</sub> b <sub>0</sub>	<b>‡</b>	<b>‡</b>	R	P	R	0
	SLA g	01 100 111 11 001 011 00 100 g	REG	REG	3	2	7	(HL) <sub>M</sub>	\$	1	R	P	R	<b>‡</b>
	SLA (HL)	11 001 011	REGI	REGI	5	2	13	<b>←</b>	1	1	R	P	R	1
	SLA (IX+d)	00 100 110 11 011 101 11 001 011 < d >	IND	IND	7	4	19	C b7 b0	\$	<b>‡</b>	R	P	R	\$
	SLA (IY+d)	00 100 110 11 111 101 11 001 011	IND	IND	7	4	19	1 170 00 ADR 1 100 00 ADR 0 100 11 g OR	1	<b>‡</b>	R	P	R	1
	SRA g	(d) 00 100 110 11 001 011 00 101 g	REG	REG	3	2	7	b7 b0 C	1	1	R	P	R	1

Operation				essing	Machine		14				F	lag		_
name	MNEMONICS	OP-code		des	Cycles	Bytes	States	Operation	7	6	4	2	1	(
OF NAME H. 2	81		S	D	Cycles				S	Z	Н	P/V	N	(
Rotate and Shift Data	SRA (HL)	11 001 011 00 101 110	REGI	REGI	5	2	13	o roe II gan	\$	\$	R	Р	R	1
	SRA (IX+d)	11 011 101 11 001 011	IND	IND	7	4	19		\$	1	R	P	R	1
	a w(b+X	( d ) 00 101 110		Α.,			341 10		BE					
	SRA (IY+d)	11 111 101 11 001 011	IND	IND	7	4	19		\$	<b>‡</b>	R	P	R	1
	<ul> <li>6 (9 ± 3)</li> </ul>	( d ) 00 101 110		a III	5	100	DVI 6	BILL II SPENDAS	k					
	SRL g	11 001 011 00 111 g	REG	REG	3	2	7	0 <del></del>	1	1	R	P	R	1
	SRL (HL)	11 001 011 00 111 110	REGI	REGI	5	2	13		1	<b>1</b>	R	P	R	1
	SRL (IX+d)	11 011 101 11 001 011	IND	IND	7	4	19		<b>‡</b>	<b>1</b>	R	P	R	1
		< d >		ř		38 1 18	BH III		334					
	SRL (IY+d)	00 111 110 11 111 101 11 001 011 < d >	IND	IND	7	4	19		\$	<b>‡</b>	R	Р	R	1
		00 111 110												

Operation	MNEMONICS	OP-code	Addre	essing des	Machine	Bytes	States	Operation	7	6	FI 4	ag 2	1	0
name	8	0, 0000	S	D	Cycles				S	Z	Н	P/V	N	C
Bit Set	SET b, g	11 001 011 11 b g	REG	REG	3	2	7	1→b•gr		•	•	•		•
	SET b,(HL)	11 001 011 11 b 110	REGI	REGI	5	2	13	1→b• (HL) <sub>M</sub>	•	•	•	•	0	•
	SET b,(IX+d)	11 011 101 11 001 011	IND	IND	7	4	19	$1 \rightarrow b \cdot (IX + d)_M$	0	•	•	•	•	•
		〈 d 〉 11 b 110	2			DAI.	3/1 3.14		18					
	SET b, (IY+d)	11 111 101 11 001 011	IND	IND	7	4	19	$1 \rightarrow b \cdot (IY + d)_M$		•	•	•	•	•
		( d ) 11 b 110		5	E II			g (11 00 )	92					
Bit Reset	RES b, g	11 001 011 10 b g	REG	REG	3	2	7	O→b∙gr	•	•	0	•	•	•
	RES b, (HL)	11 001 011 10 b 110	REGI	REGI	5	2	13	0→b• (HL) <sub>M</sub>	•	•	•	•		•
	RES b, (IX+d)	11 011 101	IND	IND	7	4	19	$0 \rightarrow b \cdot (IX + d)_M$	•	0	•	•	•	•
		11 001 011 〈d〉 10 b 110				370								

Operation	MNEMONICS	OP-code		essing	Machine	Bytes	States	Operation	7	6		ag	1 (
name	2		S	D	Cycles	Dytes	States	operation	-	_	_		N
Bit Reset	* uXi-	11 111 101 11 001 011 〈 d 〉 10 b 110	IND	IND	3 7	M 4	19	0→b• (IY + d) <sub>M</sub>	•	•	•	•	• •
Bit Test	BIT b, g	11 001 011	REG		2	2	6	$\overline{b \cdot g_r} \rightarrow z$	X	1	S	X	R
	BIT b,(HL)	01 b g 11 001 011 01 b 110	REGI	9	3	2	9	b·(HL) <sub>M</sub> →z	X	<b>‡</b>	S	Χ	R e
	BIT b, (IX+d)	11 011 101 11 001 011 < d >	IND	S	5	994 r	TVS. T	$b \cdot (IX + d)_M \rightarrow z$	100	<b>‡</b>	S	Χ	R
	BIT b, (IY+d)	01 b 110 11 111 101 11 001 011	IND		5	4	ANII II	$b \cdot (IY + d)_M \rightarrow z$	X	\$	S	X	R e
	an and	〈 d 〉 01 b 110			8 8	10 - FIEE	evil Lin	0 000 00 00 00 00 00 00 00 00 00 00 00	eri eri				

Operation			Addre	essing	Machine		18				_	ag	in0	
0 1 0 1	MNEMONICS	OP-code	Mo	des	Cycles	Bytes	States	Operation	7	6	4		1	_
name			S	D	Cycles		9		S	Z	Н	P/V	N	C
ADD	ADD HL, ww	00 ww1 001	REG	IMP	5	1	7	$HL_R + ww_R \rightarrow HL_R$		•	X	•	R	1
	ADD IX, xx	11 011 101 00 xx1 001	REG	IMP	6	2	10	$IX_R + xx_R \rightarrow IX_R$	•	•	X	•	R	<b>‡</b>
	ADD IY, yy	11 111 101 00 yy1 001	REG	IMP	6	2	10	$ Y_R + yy_R \rightarrow  Y_R $	•	0	X	•	R	1
6-5-1-2		- 100		0	Same		- 19	0 100 11 0.0	1100	-	1440	THE D	911	T JP
ADC	ADC HL, ww	11 101 101 01 ww1 010	REG	IMP	6	2	10	$HL_R + ww_R + c \rightarrow HL_R$	1	1	X	V	R	1
DEC	DEC ww	00 ww1 011	REG	REG	2	1	4	ww <sub>R</sub> − 1→ww <sub>R</sub>		•	•	•	0	•
	DEC IX	11 011 101 00 101 011	IMP	IMP	3	2	7	$IX_R - 1 \rightarrow IX_R$	•	•	•	•	•	•
	DEC IY	11 111 101	IMP	IMP	3	2	7	$ Y_R - 1 \rightarrow  Y_R $	•	•	•	0	•	•
	V 2. 1970	00 101 011						A 700 FF						
INC	INC ww	00 ww0 011	REG	REG	2	1	4	$ww_R + 1 \rightarrow ww_R$		•	0	•	•	
	INC IX	11 011 101 00 100 011	IMP	IMP	3	2	7	$IX_R+1 \rightarrow IX_R$	•	•		•	•	0
	INC IY	11 111 101 00 100 011	IMP	IMP	3	2	7	$IY_R + 1 \rightarrow IY_R$		•	0	•		•

Operation	MNEMONICS	OP-code		essing	Machine	Bytes	States	Operation	7	6		lag	1	-
name	2		S	D	Cycles	bytes	States	Operation	-				N	_
SBC	ODO TIL, WW	11 101 101 01 ww0 010	REG	IMP	6	2	10	$HL_R - ww_R - c \rightarrow HL_R$					S	
Load 8 bit Data	LD A, I	11 101 101 01 010 111	IMP	IMP	2	2	6	$I_r \rightarrow A_r$	1	1	R	IEF <sub>2</sub>	R	6
	LD A, R	11 101 101 01 011 111	IMP	IMP	2	2	6	$R_r \rightarrow A_r$	\$	<b>‡</b>	R	IEF <sub>2</sub>	R	0
	LD A,(BC)	00 001 010	REGI	IMP	2	1	6	(BC) <sub>M</sub> →A <sub>r</sub>						
	LD A,(DE)	00 011 010	REGI	IMP	2	1	6	(DE) <sub>M</sub> →A <sub>r</sub>						9
	LD A,(mn)	00 111 010	EXT	IMP	4	3	12	$(mn)_M \rightarrow A_r$						6
	The second second	< n > < m >			e ii	9A 103	Man g	torico m.como						
	LD I, A	11 101 101 01 000 111	IMP	IMP	2	2	6	$A_r \rightarrow I_r$	•	•	•	•	•	•
	LD R, A	11 101 101 01 001 111	IMP	IMP	2	2	6	$A_r \rightarrow R_r$	•	•	•	•		0
	LD (BC), A	00 000 010	IMP	REGI	3	1	7	$A_r \rightarrow (BC)_M$						
	LD (DE), A	00 010 010	IMP	REGI	3	1	7	$A_r \rightarrow (DE)_M$		0	0			9
	LD (mn), A	00 110 010 〈 n 〉	IMP	EXT	5	3	13	$A_r \rightarrow (mn)_M$	•	•	•	•	•	0
0 0 0 0	(a) [a] [a]	< m >		1.	E III	IR I	28	DELTA MALLEY						

Operation	MNEMONICS	OP-code	Addre		Machine	Bytes	States	Operation	7	6	Fla 4	ag 2	1	0
name	MINEMONIOS	OF-Code	S	D	Cycles	Dytes	States		S	Z	Н	P/V	Ν	С
Load	LD g, g'	01 g g'	REG	REG	2	1	4	$g_r \rightarrow g_r$			0	•		•
8 Bit Data	LD g, (HL)		REGI	REG	2	1	6	(HL) <sub>M</sub> →g <sub>r</sub>				•	0	0
O Dit Data	LD g, m	00 g 110		REG	2	2	6	m→g <sub>r</sub>		0			0	
	8,	< m >	8			INI	SMI K	TIDE THE LAG	1					
	LD g, (IX+d)	11 011 101	IND	REG	6	3	14	$(IX + d)_{M} \rightarrow g_{r}$	0	0				9
	8, (,	01 g 110	8 1		2	Phillips	HAD DE	I TOTAL BAG	4					
		< d >					, l n	1.110.10						
	LD g,(IY+d)	11 111 101	IND	REG	6	3	14	$(IY+d)_{M}\rightarrow g_{r}$		0		0	0	
		01 g 110	a l		8	WALLEY	BH O	0 A (DE) 00 014 0						
		< d >	ST.		4	- IMI	XE TO	O LEF OD - TOWN A C	-					
	LD (HL), m	00 110 110	IMMED	REGI	3	2	9	$m \rightarrow (HL)_M$	0	0	•			•
		< m >						( m 2						
	LD (IX+d), m	11 011 101	IMMED	IND	5	4	15	$m \rightarrow (IX + d)_M$		0		0	0	
		00 110 110					1	1 000 10						
	0	< d >	Ð.		2	HIM	-BALL LI	TEMPTER A.A.C	-					
		< m >						1 100 (0						
	LD (IY+d),m	11 111 101	IMMED	IND	5	4	15	$m \rightarrow (IY + d)_M$		0	0	0	0	0
	(a) N	00 110 110	7	7	E   1	SIR	FIMI D	0.010 00 A (30)	+					
		< d >	61	3	d	DE I	SIMI O	morrou Action 0	-					
		< m >						(-0, 5)						
	LD (HL), g	01 110 g	REG	REGI	3	1	7	$g_r \rightarrow (HL)_M$			0	0	0	

Operation	MNEMONICS	OP-code	Addre	essing	Machine	tenenti	EQ.	Operation	-	0		lag		-
name			S	D	Cycles	1		Operation	-	6 Z		2 P/V		
Load 8Bit Data	( 4),18	01 110 g	REG	IND	7	3	15	$g_r \rightarrow (IX + d)_M$			•	•	•	(
	LD (IY+d),g	( d ) 11 111 101 01 110 g ( d )	REG	IND	7	3	15	$g_r \rightarrow (IY + d)_M$	•	•	0	•	0	•
Load 16Bit Data	LD ww, mn	00 ww0 001 < n >	IMMED	REG	3	3	9	mn→ww <sub>R</sub>	•	•	•	•	•	0
	LD IX, mn		IMMED	IMP	4	4	12	mn→lX <sub>R</sub>	•	•	•	•	•	0
	LD IY, mn	< m >	IMMED	IMP	4	4	12	mn→IY <sub>R</sub>	•	•	0	•	•	9
	CAN SAME WORKS TOOLS	( m ) 11 111 001	IMP IMP	IMP IMP	2 3	1 2	4 7	HL <sub>R</sub> →SP <sub>R</sub> IX <sub>R</sub> →SP <sub>R</sub>	0	0	0	0		•

helf-l			Addre	essing	1,0		A		11.1		Fla	g	11	
Operation	MNEMONICS	OP-code	Mo	100	Machine Cycles	Bytes	States	Operation		6	4			
name	IVII ILLIIOI III O	O. Oode	S	D	Cycles		2 -		S	Z	HF	2/V	N	C
Load 16Bit Data	LD SP, IY	11 111 101 11 111 001	IMP	IMP	3	2	7	$IY_R \rightarrow SP_R$	•	•	•	•	•	•
TOBIL Data	LD ww,(mn)	11 101 101 01 ww1 011	EXT	REG	6	4	18	$(mn + 1)_M \rightarrow wwH_r$ $(mn)_M \rightarrow wwL_r$	•	•	0	•		•
		< n > < m >	EVI	IMP	5	3	15	$(mn+1)_{M} \rightarrow H_{r}$				•		•
	LD HL, (mn)	00 101 010 ( n ) ( m )	EXT	IIVIP	0	-	VAM 1CI	$(mn)_{M} \rightarrow L_{r}$	L					
	LD IX,(mn)	11 011 101 00 101 010 < n >	EXT	IMP	6	4	18	$(mn + 1)_{M} \rightarrow IXH_{r}$ $(mn)_{M} \rightarrow IXL_{r}$	•	•	•	•	•	•
	LD IY,(mn)	( m ) 11 111 101 00 101 010	EXT	IMP	6	4	18	$(mn+1)_{M} \rightarrow IYH_{r}$ $(mn)_{M} \rightarrow IYL_{r}$	0	•	•	•	•	•
	LD (mn), ww	01 ww0 011	REG	EXT	7	4	19	$wwH_r \rightarrow (mn + 1)_M$ $wwL_r \rightarrow (mn)_M$	•	•	•	•	•	•

Operation	MNEMONICS	OP-code	Addr	essing	Machine	D to b	A	0				ag	
name	8	0. 0000	S	D	Cycles	Bytes	States	Operation	7	-	_	2 P/V	1 C
Load 16 bit Data	LD (mn), HL	00 100 010 〈n〉 〈m〉	IMP	EXT	6	3	16	$H_r \rightarrow (mn+1)_M$ $L_r \rightarrow (mn)_M$	•	•	•	•	• •
	LD (mn), IX	11 011 101 00 100 010 (n)	IMP	EXT	7	4	19	$IXH_r \rightarrow (mn+1)_M$ $IXL_r \rightarrow (mn)_M$	•	•	•	•	• •
	LD (mn), IY	<pre></pre>	IMP	EXT	7	4	19	$\begin{array}{l} \text{IYH}_r {\rightarrow} (\text{mn}+1)_M \\ \text{IYL}_r {\rightarrow} (\text{mn})_M \end{array}$	•	•	•	•	• •
Block Transfer Search Data	CPD	11 101 101 10 101 001	REGI/		6	2	12	$A_r - (HL)_M$ $BC_R - 1 \rightarrow BC_R$	\$	*	<b>‡</b>	1	S •
	CPDR	11 101 101 10 111 001	REGI/ IMP		8	2 2	14 12	$HL_R - 1 \rightarrow HL_R$ $BC_R \neq 0 A_r \neq (HL)_M$ $BC_R = 0 \text{ or } A_r = (HL)_M$	<b>‡</b>	2	1	1	S •
0=1 = 1019 d 0=1 = 1010 d = (.181) = .18 12 (.181) = .18	P(V = 0) $P(V = 1)$ $P(X = 1)$ $P(X = 0)$ $P(X = 0)$							$\begin{array}{l} Q & \begin{bmatrix} A_r - (HL)_M \\ BC_R - 1 {\rightarrow} BC_R \\ HL_R - 1 {\rightarrow} HL_R \\ \end{bmatrix} \\ \text{Repeat Q until} \\ A_r = (HL)_M \text{ or } BC_R = 0 \\ \end{array}$					

Operation	MNEMONICS	OP-code	Addre		Machine	Rytes	States	Operation	7	6	FI 4	ag 2	1 (	0
name	MINEMONIO	01 0000	S	D	Cycles	Dytoo	Otatoo		S	Z	Н	P/V	N (	0
Block Transfer Search Data	CPI	11 101 101 10 100 001 11 101 101 10 110 001	REGI/ IMP REGI/ IMP		8 6	2 2 2	12 14 12	$\begin{array}{l} A_r-(HL)_M\\ BC_R-1{\rightarrow}BC_R\\ HL_R+1{\rightarrow}HL_R\\ BC_R{\not=}O\ A_r{\not=}(HL)_M\\ BC_R=0\ or\ A_r=(HL)_M\\ O\ BC_R-1{\rightarrow}BC_R\\ HL_R+1{\rightarrow}HL_R \end{array}$		② \$\dagger\$ \$\dagger\$	<b>‡</b>	①	S	
	LDD	11 101 101 10 101 000	REGI	REGI	4	2	12	HLR +   H - HLR	•	•	R	1	R	•

① P/V = 0 :  $BC_R - 1 = 0$  P/V = 1 :  $BC_R - 1 \neq 0$ ② Z = 1 :  $A_r = (HL)_M$ Z = 0 :  $A_r \neq (HL)_M$ 

Operation	LANEL AONIOO	00		essing	Machine	Beentol	-				F	lag	
name	MNEMONICS	OP-code	S	des	Cycles	Bytes	States	Operation	7	_	4	2	
11 11 11 11			5	D	-				S	Z	Н	P/V	N
Block Transfer	LDDR	11 101 101 10 111 000	REGI	REGI	6	2	14 (BC <sub>R</sub> ≠0)	$ \begin{array}{c} (HL)_{M} \rightarrow (DE)_{M} \\ BC_{R} - 1 \rightarrow BC_{R} \end{array} $	•	0	R	R	R
Search Data	p 1/6 -40	S-1965			4	2	12	DE <sub>R</sub> − 1→DE <sub>R</sub>					
	198-134 -599-1	(					(BC <sub>R</sub> =0)	Repeat Q until				•	
	LDI	11 101 101	REGI	REGI	4	2	12	$BC_R = 0$ $(HL)_M \rightarrow (DE)_M$			R	1	R
	135	10 100 000		0.000000		7	W - 10	$BC_R - 1 \rightarrow BC_R$ $DE_R + 1 \rightarrow DE_R$			11	*	11
	# 11-(X) = 12.5	14921 5					dt 16	HLR+1→HLR					
	LDIR	11 101 101	REGI	REGI	6	2	14	$(HL)_M \rightarrow (DE)_M$	•		R	R	R
	1984	10 110 000			4	2	(BC <sub>R</sub> ≠0)	$ \begin{array}{c c} Q & BC_R - 1 \rightarrow BC_R \\ DE_R + 1 \rightarrow DE_R \end{array} $					
	23434	Fu (5)(5)				-	(BC <sub>R</sub> =0)	[11] [2] [2] [2] [2] [2] [2] [2] [2] [2] [2	1				
	4034	S-Ly98						Repeat Q until					
PUSH	PUSH zz	11 zz0 101	REG	IMP	5	1	1.1	-1 (00 0)		_	_		
	1 0011 22	11 220 101	neu	IIVIP	3	11 41	11	$zzL_r \rightarrow (SP-2)_M$ $zzH_r \rightarrow (SP-1)_M$ $SP_R - 2 \rightarrow SP_R$			•	•	•

① P/V=0:  $BC_R-1=0$ ,  $P/V=1: BC_R-1\neq 0$ 

Operation	MNEMONICS	OP-code	Addre	70710	Machine	Bytes	A	Operation	7	6	Fla 4	ag 2	1	0
name	MINEMONIGS	OP-code	S	D	Cycles	Dytos			S	Z	Н	P/V	N	С
PUSH	PUSH IX	11 011 101 11 100 101	IMP	IMP	6	2	14	$IXL_r \rightarrow (SP-2)_M$ $IXH_r \rightarrow (SP-1)_M$ $SP_R - 2 \rightarrow SP_R$	•	•	•	•		0
	PUSH IY	11 111 101 11 100 101	IMP	IMP	6	2	14	$\begin{aligned} & \text{IYL}_r \rightarrow (\text{SP}-2)_M \\ & \text{IYH}_r \rightarrow (\text{SP}-1)_M \\ & \text{SP}_R - 2 \rightarrow \text{SP}_R \end{aligned}$	•	•	•	•	•	•
POP	POP zz	11 zz0 001	IMP	REG	3	3A 1 10	9	$(SP+1)_{M} \rightarrow zzH_{r}$ $(SP)_{M} \rightarrow zzL_{r}$ $SP_{R}+2 \rightarrow SP_{R}$	•	•	•	•	•	•
	POP IX	11 011 101 11 100 001	IMP	IMP	4	2	12	$(SP+1)_{M} \rightarrow IXH_{r}$ $(SP)_{M} \rightarrow IXL_{r}$ $SP_{R}+2 \rightarrow SP_{R}$	•	•	•	•	0	0
	POP IY	11 111 101 11 100 001	IMP	IMP	4	2	12	$(SP+1)_M \rightarrow IYH_r$ $(SP)_M \rightarrow IYL_r$ $SP_R + 2 \rightarrow SP_R$	•	•	•	0	•	•
Exchange	EX AF, AF EX DE, HL	00 001 000	IMP IMP	IMP IMP	2	1 1	4 3	AF <sub>R</sub> ↔AF <sub>R</sub> ′ DE <sub>R</sub> ↔HL <sub>R</sub>					•	
	EXX	11 011 001	IMP	IMP	1	1	3	$BC_R \leftrightarrow BC_R'$ $DE_R \leftrightarrow DE_R'$ $HL_R \leftrightarrow HL_R'$	•	•	•	•	•	•
	DVS net	DA TO ACT	The second											_

Operation	MNEMONICS	OP-code	Addr	essing	Machine	Bytes	Ctatas	0		0		lag		
name		Oi code	S	D	Cycles	bytes	States	Operation	7 S	7	4 H	2 P/V	N	0
Exchange	EX (SP), HL	11 100 011	IMP	IMP	6	1	16	$H_r \leftrightarrow (SP+1)_M$ $L_r \leftrightarrow (SP)_M$				•		
	EX (SP), IX	11 011 101 11 100 011	IMP	IMP	7	2	19	$IXH_r \leftrightarrow (SP+1)_M$ $IXL_r \leftrightarrow (SP)_M$	•	•	•	•	•	•
	EX (SP), IY	11 111 101 11 100 011	IMP	IMP	7	2	19	$IYH_r \leftrightarrow (SP+1)_M$ $IYL_r \leftrightarrow (SP)_M$	•	•	0	•	•	•
Call	CALL mn	11 001 101	E	EXT	6	3	16	$PCH_r \rightarrow (SP-1)_M$ $PCL_r \rightarrow (SP-2)_M$	•	•	•	•	•	0
	0	< m >		2	9 1			$mn \rightarrow PC_R$ $SP_R - 2 \rightarrow SP_R$						
	CALL f, mn	11 f 100 < n >		EXT	2	3	6(f: false)	continue:	0	•	•	•	•	•
	10	< m >		2	6	3	16(f: true)	CALL mn: f is true	F(),					
Jump	DJNZ j	00 010 000 〈 j-2 〉	8	REL	5	2 2	9	$(B_r \neq 0)$ $(B_r = 0)$	•		•	•	•	
	0=0.1 µ0	Candinos   POLETI-F	8 8		<u>s</u>	38	0	$(B_r - 0)$ $B_r - 1 \rightarrow B_r$ contine: $B_r = 0$ $PC_R + j \rightarrow PC_R : B_r \neq 0$						

Operation	MNEMONICS	OP-code		essing ides	Machine Cycles	Bytes	States	Operation		6	4	lag 2		
name	8		S	D	Cycles	6	8		S	Z	Н	P/V	N	С
Jump	JP f, mn	11 f 010	91	EXT	2	3	6	(f: false)			•			
	1	< n >			3	3	9	(f:true)						
	a allow	< m >		-	170	SIVOL	1149	mn→PCR: f is true						
		IS LA ENT		8	7	and .	PANT T	continue : f is false	B					
	JP mn	11 000 011		EXT	3	3	9	mn→PCR	0	0	0	0	0	0
		< n >		-										
	n n 201-19	< m >		8	3	<b>以</b>	- 1	at 100 He moule	1		_	_		
	JP (HL)	11 101 001		REGI	1	1	3	HL <sub>R</sub> →PC <sub>R</sub>			0			
	JP (IX)	11 011 101		REGI	2	2	6	$IX_R \rightarrow PC_R$			•		•	
	848	11 101 001			20	-va-			-					
	JP (IY)	11 111 101		REGI	2	2	6	IY <sub>R</sub> →PC <sub>R</sub>	-				•	0
	3000	11 101 001		English	8 .			50 11 50						
	JR j	00 011 000		REL	4	2	8	PC <sub>R</sub> +j→PC <sub>R</sub>	-			, ,	•	
		< j-2 >		-										
	JR C, j	00 111 000		REL	2	2	6	continue : C=0	1					
		< j-2 >		8	4	2	8	$PC_R + j \rightarrow PC_R : C = 1$						
	JR NC, j	00 110 000		REL	2	2	6	continue: C=1	-					
	0,000	〈 j-2 〉		-	4	2	8	$PC_R + j \rightarrow PC_R : C = 0$						4
	JR Z, j	00 101 000		REL	2	2	6	continue: Z=0				, «		
	1	< j-2 >			4	2	8	$PC_R + j \rightarrow PC_R : Z = 1$						

Operation	MNEMONICS	OP-code		essing	Machine	(magun)	sA I					lag	
name	WINEWOON	OF-code	S	D	Cycles	Bytes	States	Operation	7 S		_	2 P/\	1 / N
Jump	JR NZ, j	00 100 000 〈 j-2 〉	Q	REL	2 4	2 2	6 8	continue : $Z=1$ PC <sub>R</sub> +j $\rightarrow$ PC <sub>R</sub> : $Z=0$	•	•	•	•	•
Return	RET	11 001 001		IMP	3	1	9	$(SP)_{M} \rightarrow PCL_{r}$ $(SP+1)_{M} \rightarrow PCH_{r}$ $SP_{R}+2 \rightarrow SP_{R}$	•	•	•	•	•
	RET f	11 f 000		IMP	3	1	5(f: false)	continue: f is false	•	•	0	•	•
		A - 102 m1			4	1	10 (f: true)	RET: f is true					
	RETI	11 101 101 01 001 101		IMP	4	2	12	Return from interrupt	0	•	•	•	0
	RETN	11 101 101 01 000 101		IMP	4	2	12	Return from non- maskable interrupt	0	•	•	•	•
Restart	RST v	11 v 111		IMP	5	1	11 (a	$\begin{array}{l} PCH_r \rightarrow (SP-1)_M \\ PCL_r \rightarrow (SP-2)_M \\ 0 \rightarrow PCH_r \\ v \rightarrow PCL_r \\ SP_R - 2 \rightarrow SP_R \end{array}$	•	•	•	•	•
INPUT	IN A, (m)	11 011 011 〈m〉	10	IMP	3	2	9	$(Am)_1 \rightarrow A_r$ $m \rightarrow A_0 \sim A_7$ $A_r \rightarrow A_8 \sim A_{15}$	•	•	•	•	•

Plac			Addr	essing	Machine	nizzania	rá -		5,		FI	ag		
Operation	MNEMONICS	OP-code		odes	Cycles	Bytes	States	Operation	_	6	_	2		
name	2		S	D	0,0.00		8		_			P/V	_	
INPUT	IN g, (C)	11 101 101	10	REG	3 .	2	9	$(BC)_1 \rightarrow g_r$	1	1	R	P	R	0
	0=X: 40°	01 g 000		2	p.			g = 110: Only the flags						
	e .105	L-y (98)		1	8 1		11	will change.						
	#IDE mo	(14.98)						$C_r \rightarrow A_0 \sim A_7$						
	( )	44 404 404	10	DEO	4	2	12	$B_r \rightarrow A_8 \sim A_{15}$ $(00m)_1 \rightarrow g_r$	^	<b>1</b>	B	Р	R	
	IN0 g, (m)	11 101 101	10	REG	8 4	3	12	g = 110: Only the flags	*	*	11	1	11	
		00 g 000				1		will change.						
	artua	< m >			P			$m \rightarrow A_0 \sim A_7$						
		(6)						00→A <sub>8</sub> ~A <sub>15</sub>	12	3			4	
	IND	11 101 101	10	REGI	4	2	12	$(BC)_I \rightarrow (HL)_M$	X	1	X	X	\$	X
	-10	10 101 010		Q.	E .	16/1		HL <sub>R</sub> − 1→HL <sub>R</sub>	19					
	munolific	ddsaeum					199	$B_r - 1 \rightarrow B_r$						
		Sample State		1	8 1	n.h		$C_r \rightarrow A_0 \sim A_7$	a				4	
		100	1775		-			$B_r \rightarrow A_8 \sim A_{15}$		0				
	INDR	11 101 101	10	REGI	6	2	14	$(BC)_I \rightarrow (HL)_M$	X	5	X	X	+	X
		10 111 010			4	2	(B <sub>r</sub> ≠0)	$Q \mid HL_R - 1 \rightarrow HL_R$ $B_r - 1 \rightarrow B_r$						
	u98	-S- 4d5			4	2	$(B_r = 0)$	_						
	0	(ma)	6	8		avit	(Dr = 0)	B <sub>r</sub> =0	41					
		A - A - M						$C_r \rightarrow A_0 \sim A_7$						
	110	-,A,A						$B_r \rightarrow A_8 \sim A_{15}$						

Operation	MANIENAGANIGO	00		essing	Machine	nesati	A				_	lag		
name	MNEMONICS	OP-code		odes	Cycles		States	Operation	_	6	4		1	0
			S	D	-				S	Z	Н	P/V	N	C
	0	(00) - 31		2	F		39A TH	11 101 11	ō	(3)			(4)	o l
INPUT	INI	11 101 101 10 100 010	10	REGI	4	2	12	$(BC)_1 \rightarrow (HL)_M$ $HL_R + 1 \rightarrow HL_R$	X	-		Χ		X
	•	m(00) (g i i i		8			BA IS	$B_r - 1 \rightarrow B_r$ $C_r \rightarrow A_0 \sim A_7$	o.					
	TAUD HOSE	= A+ 00						$B_r \rightarrow A_8 \sim A_{15}$					4	
	INIR (200)	11 101 101 10 110 010	10	REGI	6	2	14 (B <sub>r</sub> ≠0)	$ \begin{array}{c} (BC)_{I} \rightarrow (HL)_{M} \\ Q HL_{R} + 1 \rightarrow HL_{R} \end{array} $	X	S	X	X	<b>‡</b>	X
		B-1-B			4	2	12 (B <sub>r</sub> =0)	B <sub>r</sub> -1→Br Repeat Q until						
	in A	- A Q0						$B_r = 0$ $C_r \rightarrow A_0 \sim A_7$						
9 7 9 9 9	at Irmani wa	( the )					and to	$B_r \rightarrow A_8 \sim A_{15}$						
OUTPUT	OUT (m), A	11 010 011 〈 m 〉	IMP	10	4	2	10	$A_r \rightarrow (Am)_1$ $m \rightarrow A_0 \sim A_7$ $A_r \rightarrow A_8 \sim A_{15}$	•	•	•	•	•	•

Operation	MNEMONICS	OP-code	Addre		Machine		States	Operation	7	6	Fla 4	ag 2	1	0
name	TVII TEIVIOTTIOO	0. 0000	S	D	Cycles		2		S	Z	Н	P/V	N	C
OUTPUT	OUT (C),g	11 101 101 01 g 001	REG	10	4	2	10	$g_r \rightarrow (BC)_1$ $G_r \rightarrow A_0 \sim A_7$ $B_r \rightarrow A_8 \sim A_{15}$	•	•	•	•	•	•
	OUTO (m),g	11 101 101 00 g 001 < m >	REG	10	5	3	13	$g_r \rightarrow (00m)_1$ $m \rightarrow A_0 \sim A_7$ $00 \rightarrow A_8 \sim A_{15}$	•	3	•	•	4	•
	OTDM	11 101 101 10 001 011	REGI	Ю	6	2	14	$ \begin{array}{l} (HL)_{M} \rightarrow (00C)_{1} \\ HL_{R} - 1 \rightarrow HL_{R} \\ C_{r} - 1 \rightarrow C_{r} \\ B_{r} - 1 \rightarrow B_{r} \\ C_{r} \rightarrow A_{0} - A_{7} \\ 00 \rightarrow A_{8} \sim A_{15} \end{array} $	1	1		P	\$	
e e e e e 1= pull la Se d= pull la Se	OTDMR	11 101 101 10 011 011	REGI	10	6	2	16 (B <sub>r</sub> ≠0) 14 (B <sub>r</sub> =0)	$G_r - 1 \rightarrow G_r$	R	S	R	S	-	

Operation	MNEMONICS	OP-code	Addre Mod		Machine	Bytes	States	Operation	7	6		lag	1	0
name	8		S	D	Cycles	Ditto	Otatos	operation	75		_	P/V		-
OUTPUT										(3)			4	
	OTIM	11 101 101 10 000 011	REGI	10	6	2	14	$(H \sqcup)_{M} \rightarrow (00C)_{1}$ $H \sqcup_{R} + 1 \rightarrow H \sqcup_{R}$ $C_{r} + 1 \rightarrow C_{r}$ $B_{r} - 1 \rightarrow B_{r}$ $C_{r} \rightarrow \Delta_{0} \sim \Delta_{7}$ $00 \rightarrow \Delta_{8} \sim A_{15}$	<b>‡</b>			P	1	\$
	OTIMR	11 101 101 10 010 011	REGI	10	6	2	16 (B <sub>r</sub> ≠0) 14 (B <sub>r</sub> =0)	$Q\begin{bmatrix} (HL)_{M} \rightarrow (00C)_{1} \\ HL_{R} + 1 \rightarrow HL_{R} \\ C_{r} + 1 \rightarrow C_{r} \\ B_{r} - 1 \rightarrow B_{r} \\ \\ \text{Repeat } Q \text{ until} \\ B_{r} = 0 \\ C_{r} \rightarrow A_{0} \sim A_{7} \\ \end{bmatrix}$	R	S	R	S	<b>4</b>	R
						2 10	3A 110	00→A <sub>8</sub> ~A <sub>15</sub>						

Operation		100	Addre		Machine	negath	A	- 5% SAMPLES	-	0	_	ag		0
name	MNEMONICS	OP-code	Mod	1000	Cycles	Bytes	States	Operation	7	_	4		_	
Hamo	5		S	D	1				S	4	Н	P/V	Ν	C
OUTPUT	- American									(3)			(4)	
	OUTD	11 101 101 10 101 011	REGI	10	4	2	12	$\begin{aligned} &(HL)_{M} \rightarrow (BC)_{1} \\ &HL_{R} - 1 \rightarrow HL_{R} \\ &B_{r} - 1 \rightarrow B_{r} \\ &C_{r} \rightarrow A_{0} \sim A_{7} \\ &B_{r} \rightarrow A_{8} \sim A_{15} \end{aligned}$	X	-	X		\$	
	OTDR	11 101 101 10 111 011	REGI	10	6 4	2	$14$ $(B_r \neq 0)$ $12$ $(B_r = 0)$	$ \begin{array}{l} \left( (HL)_{M} \!\!\! \rightarrow \!\!\! (BC)_{1} \\ HL_{R}-1 \!\!\! \rightarrow \!\!\! HL_{R} \\ B_{r}-1 \!\!\! \rightarrow \!\!\! B_{r} \end{array} \right. \\ \text{Repeat Q until} \\ B_{r}=0 \\ C_{r} \!\!\! \rightarrow \!\!\! A_{0} \!\!\! \sim \!\!\! A_{7} \\ B_{r} \!\!\! \rightarrow \!\!\! A_{8} \!\!\! \sim \!\!\! A_{15} \end{array} $	X	S	X	X	\$	X
	OUTI	11 101 101 10 100 011	REGI	10	4	2	12	$(HL)_{M} \rightarrow (BC)_{1}$ $HL_{R} + 1 \rightarrow HL_{R}$ $B_{r} - 1 \rightarrow B_{r}$ $C_{r} \rightarrow A_{0} - A_{7}$ $B_{r} \rightarrow A_{8} \sim A_{15}$	X	③ ↓		X	1	

Operation	MNEMONICS	OP-code	Addre		Machine	nall sm	10				Fla		
name	MINEMONIOS	OP-code		0000	Cycles	Bytes	States	Operation	7	6	4	2 1	0
n 10 Am let F	4		S	D	0,000				S	Z	HF	/V N	1 0
OUTPUT		Itaansi			8 4		1 1						
		Land U.S.										(4	)
	OTIR	11 101 101	REGI	10	6	2	14	$[(HL)_M \rightarrow (BC)_I]$	X	S	X	X I	
		10 110 011					(B <sub>r</sub> ≠0)	Q HLR+1→HLR					,
	lei.	J-1-61			4	2	12	$B_r - 1 \rightarrow B_r$					
	0	0.00					$(B_r = 0)$	Repeat Q until					
								$B_r = 0$					
	<ul> <li>8 (P3)</li> </ul>	931-0	5				10	$C_r \rightarrow A_0 \sim A_7$					
	0.		0				119	$B_r \rightarrow A_8 \sim A_{15}$					
	TSTIO m	11 101 101	IMMED/		4	3	12	m • 1(000)	1	1	SI	R	R
	0	01 110 100	10		8		110	$C_r \rightarrow A_0 \sim A_7$		•			
	0	< m >					01	$00 \rightarrow A_8 \sim A_{15}$					

③  $Z=1: B_r-1=0, Z=0: B_r-1\neq 0$ 

 $<sup>\</sup>textcircled{4}$  N=1: MSB of Data=1, N=0: MSB of Data=0

0			Addre	ssing	Machine	veze b	i.e.				FI			
Operation	MENMONICS	OP-code	Mod	des	Cycles	Bytes	States	Operation	7	6	4	2		0
name	18		S	D	Cycles				S	Z	Н	P/V	Ν	C
Special Function	DAA	00 100 111	IMP	IMP	2	1	4	Decimal Adjust Accumulator	1	\$	\$	P	•	1
0	COF	00 111 111	3		1	1	3	ē→c		0	R	•	R	1
Carry Control	SCF	00 110 111			1	1	3	1→c		0	R	•	R	S
CPU	DI	11 110 011			1	1	3	0→IEF <sub>1</sub> , IEF <sub>2</sub> ⑤		0		0	•	
Control	EI	11 111 011			1	1	3	1→IEF <sub>1</sub> , IEF <sub>2</sub> ⑤				•	9	0
8 8 9 8 B	HALT	01 110 110	1		1	1	3	CPU halted				•		
	IM 0	11 101 101 01 000 110			2	2	6	Interrupt mode 0	•	•	•	•	0	•
	IM 1	11 101 101			2	2	6	Interrupt			•	•	0	0
		01 010 110						mode 1						
	IM 2	11 101 101 01 011 110	EN S		2	2	6	Interrupt mode 2		•	•	•	•	0
	NOP	00 000 000			1	1	3	No operation			0	0		0
	SLP	11 101 101 01 110 110	111		2	2	8	Sleep	•	0	•	•	0	0

⑤ DIまたはEIの最後では割込みはサンプリングされません。

## 各バスサイクルの状態一覧表

\*: 不定 7: ハイインヒーダンラ

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
ADD HL, ww	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	106	0	1	0
	MC <sub>2</sub> ~MC <sub>5</sub>	Ti Ti Ti Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
ADD IX, xx ADD IY, yy	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC <sub>3</sub> ~MC <sub>6</sub>	Ti Ti Ti Ti	*	Z been	nog le	1	1	1	1	1	1 1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0.	1	0	1	0
ADC HL, ww SBC HL, ww	MG <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
BC HL, ww	MC <sub>3</sub> ~MC <sub>6</sub>	Ti Ti Ti Ti	*	Z	1	1	1	1	1	1	1
ADD A, g ADC A, g SUB g	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
SBC A, g AND g	BUIL	BM R		io as	BRODA		reversion	SHEW		iemoutil	
OR g XOR g CP g	MC <sub>2</sub>	Ti	* g gbac	Z	1	1	1	1	1	w.1	1
ADD A, m ADC A, m SUB m SBC A, m	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
AND m OR m XOR m CP m	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	m	0	1	0	1	1	1	1
ADD A,(HL) ADC A,(HL) SUB (HL) SBC A,(HL)	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	www.ill	0
	MG <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL O SERVI	DATA	0	1	0	1 DM	1	1	00

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
ADD A, (IX + d) ADD A, (IY + d) ADC A, (IX + d)	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	100	0	1	0
ADC A, (IY+d) SUB (IX+d) SUB (IY+d) SBC A, (IX+d)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	104	0	1	1
AND $(IX + d)$	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	d	0	1	0	1	1	1	1
SBC A, (IY+d) AND (IX+d) AND (IY+d) OR (IX+d) OR (IX+d) XOR (IX+d) XOR (IX+d)	MC <sub>4</sub>	Ti Ti	*	Z	enothi	1		1	1	312	1
CP (IX+d) CP (IY+d)	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	IX+d IY+d	DATA	0	1	0	1	1	1	1
	MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
	MCı	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	151/1	0	1	0
BIT b,(HL)		T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1 + XI) J	1
IIT b,(HL)	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL 0 shoot	DATA	0	1	0	1.50	1	1.	1
	MC1	0	1)10	0	1	0					
		T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	The state of the s		0	1	0	1111	0	1 -	1
BIT $b$ , $(IX + d)$	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>		d	0	1	0	1	1	1	1
Bit 0,((, , , , , )	Mc 4	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>		120121	0	1	0	1	0	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2002 7 100 1 1 1 1 1 1 1 1	DATA		1	0	1	1	1	1
BIT b,(IX+d) BIT b,(IY+d)  CALL mn	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>		1000	easib	bA ]	0	13N	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>			100000000000000000000000000000000000000		0	100	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
0 1	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	1	0	1	1	1	1
CALL mn	MC <sub>4</sub>	Ti	*	Z	1	1	1	1	1	1	1
OALL IIII	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-1	PCH	1	0	0	1 1	1	1	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-2	PCL	1	0	0	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	10M	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	1	1	1	1
(If condition is false)	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n San	0	1	0	1	1	1	AIG
CALL f, mn (If condition	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	1	0	1	1	1	1
If condition is true)	MC <sub>4</sub>	Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-1	PCH	1	0	0	1	1	1	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-2	PCL	1	0	0	1	1	1	1

Instruction	Machine Cycle	1 and 10	ADDRESS	DATA	RD	WR	ME	ĪOĒ	LIR	HALT	ST
CCF	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
OPI OPD	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	100	0	1	0
CPI	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	100	0	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL	DATA	0	1	0	1	1	1	1
	MC <sub>4</sub> ~MC <sub>6</sub>	тітіті	*	Z box	1	1	1	1	1	1	1
6 7 0	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	138	0	1	0
CPIR CPDR	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
(If BCR≠0 and	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL	DATA	0	1	0	1-38	1	1	1
$A_r \neq (HL)_M$	MC <sub>4</sub> -MC <sub>8</sub>	Τι Τι Τι Τι Τι	*	Z	1	1	1	1	1	1	1
CPIR CPDR (If BC <sub>R</sub> = 0 or A <sub>r</sub> = (HL) <sub>M</sub> )	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
CPIR CPDR	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
(If $BC_R = 0$ or $A_r = (HL)_M$ )	MC <sub>3</sub>	$T_1T_2T_3$	HL	DATA	0	1	0	1	1	1	1
Ar (IIII)	MC <sub>4</sub> ~MC <sub>6</sub>	Ti Ti Ti	*	Z	1	1	1	1	1	1	1
CPL	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
DAA	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
0 1 1	MC <sub>2</sub>	Ti	*	Z	1	1	1	1	1	1	1
DI	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
DJNZ j	MC <sub>2</sub>	Ti *1	*	Z	1	1	1	1	1	1	1
fBr≠0)	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	j-2	0	1	0	1	1	1	1
	MC <sub>4</sub> ~MC <sub>5</sub>	Ti Ti	*	z	1	1	1	1	1	1	1

<sup>\*1</sup> このステートの直後で、DMA、リフレッシュ、BUS、RELEASEを実行することはできません。(要求を入力しても無視されます。)

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪOĒ	LIR	HALT	ST
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	100	0	1	0
DJNZ j	MC <sub>2</sub>	Ti *1	*	Z	1	1	1	1	1	1	1
(If $B_r = 0$ )	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	j-2	0	1	0	1	1	1	1
EI	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
EX DE, HL EXX	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	Ti	*	Z	1	1	1	1	1	1	1
_^ AI , AI	MCı	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP	DATA	0	1	0	1	1	1	1
EX (SP), HL	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP+1	DATA	0	1	0	1	1	1	1
	MC <sub>4</sub>	Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP+1	Н	1	0	0	1	1	1	1

<sup>\*1</sup> このステートの直後で、DMA、リフレッシュ、BUS、RELEASEを実行することはできません。(要求を入力しても無視されます。) 58

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
EX (SP), HL	MC <sub>6</sub>	$T_1T_2T_3$	SP	oL star	1	0	0	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
EX (SP), IX	MC <sub>3</sub>	$T_1T_2T_3$	SP	DATA	0	1	0	1	1	1	1
EX (SP),IX	MC <sub>4</sub>	$T_1 T_2 T_3$	SP+1	DATA	0	1	0	1	1.	1	1
	MC <sub>5</sub>	Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP+1	IXH IYH	1	0	0	1	1	1	1
	MC <sub>7</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP	IXL IYL	1	0	0	1	1	1	1
HALT	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	_		Next op-code Address	Next op-code	0	1	0	1	0	0	0
M 0 M 1 M 2	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1014	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪOĒ	LIR	HALT	ST
INC g	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
DEC g	MC <sub>2</sub>	Ti	* 0	Z	1	1	1	1	1	1	1
Joseph 187	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
NC (HL) DEC (HL)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL A	DATA	0	1	0	1	1	1	1
	MC <sub>3</sub>	Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL	DATA	1	0	0	1	1	1	1
, (	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	. 1	0
INC (IX+d)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
NC (IX+d) NC (IY+d) DEC (IX+d) DEC (IY+d)	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	d	0	1	0	1	1	1	1
	MC <sub>4</sub> ~MC <sub>5</sub>	Ti Ti	* 0	Z	1 n	1	1	1	1	1	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	IX + d IY + d	DATA	0	-1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
INC (IX+d) INC (IY+d)	MC <sub>7</sub>	Ti	*	Z	1	S 1	1	1	1	1	1
DEC (IX+d) DEC (IY+d)	MC <sub>8</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	IX+d IY+d	DATA	1	0	0	1	1	1	1
INC ww	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
DEC ww	MC <sub>2</sub>	Ti	*	Z	1	1	1	1	1	1	1
INC IX	MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
INC IY DEC IX	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
DEC IY	MC <sub>3</sub>	Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	S 1	0	1	0	1	0
IN A, (m)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	m	0	1	0	1	1	1	1
	MC <sub>3</sub>	$T_1 T_2 T_3$	m to $A_0 \sim A_7$ A to $A_8 \sim A_{15}$	DATA	0	1	1	0	1	1	1
IN g, (C)	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
IN g, (C)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	вс	DATA	0	1	1	0	1	1	1
0 1 1	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1 0	0	1	0
	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	10	0	1	1
IN0 g,(m)	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	т	0	A 1	0	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	m to A <sub>0</sub> ~ A <sub>7</sub> 00H to A <sub>8</sub> ~ A <sub>15</sub>	DATA	0	1	TiT	0	1	1	1
1 1	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1.01	0	1	0
INI	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
IND	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	BC	DATA	0	1	11	0	1	1	1
	MC <sub>4</sub>	$T_1T_2T_3$	HL A	DATA	1	0	0	1	1	1	1
INIR INDR (If $B_r \neq 0$ )	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1 0	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
INIR	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	15M	0	1	1
INDR (If $B_r \neq 0$ )	MC <sub>3</sub>	$T_1T_2T_3$	BC	DATA	0	1	1	0	1	teeted a	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL 0 shap	DATA	egn ta age <b>1</b> bb/	0	0	1	1	1	1
	MC <sub>5</sub> ~MC <sub>6</sub>	Ti Ti	*	Z	ndo tes sollos/	1	11	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
INIR INDR	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1.04	0	1	1
(If $B_r = 0$ )	MC <sub>3</sub>	$T_1T_2T_3$	BC	DATA	0	1	11	0	1	1 0	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL 0 shoo	DATA	100	0	0	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	101/	0	1	0
JP mn	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	1	1	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	1	0	1	1	1	1

Instruction		Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
JP f, mn		MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
(If f is false)		MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	1	1	1	1
		MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
JP f, mn (If f is true)		MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	1	1	1	1
		MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	1	0	1	1	1	1
JP (HL)	0	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	100	0	1	0
JP (IX)		MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
JP (IY)		MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
0 1	0	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	101/	0	1	0
JR j		MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	j-2	0	1	0	1	1	1	1
		MC <sub>3</sub> ~MC <sub>4</sub>	тіті	*	Z	1	1	11	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
JR C, j JR NC, j JR Z, j JR NZ, j	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
(If condition is false)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	j-2	0	1	0	1	1	1	1
JR C, j JR NC, j	MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	0,-1	0
JR Z, j JR NZ, j (If condition	MC <sub>2</sub>	$T_1T_2T_3$	1st operand Address	j-2	0	1	0	1	1	1	1
is true)	MC <sub>3</sub> ~MC <sub>4</sub>	Ti Ti	*	Z	1	1	1 1	1	1	1	1
LD g, g'	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
LD 6, 8	MC <sub>2</sub>	Ti	*	Z	1	1	1	1	1	1	1
LD g, m	MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
LD g, m	MC <sub>2</sub>	$T_1 T_2 T_3$	1st operand Address	m	0	1	0	1	1	1	1
LD g,(HL)	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
6, ( /	MC <sub>2</sub>	$T_1T_2T_3$	HL	DATA	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪOĒ	LIR	HALT	ST
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1.08	0	ON AL	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1 6	1
LD g, (IX + d) LD g, (IY + d)	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	d d	0	1	0	1,08	1	ov1er	1
	MC <sub>4</sub> ~MC <sub>5</sub>	Ti Ti	*	Z	1	1	1.1	1.04	1	SM FL	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	IX+d	DATA	0	1	0	1	1	1	1
0 1	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1.5%	0	1	0
LD (HL), g	MC <sub>2</sub>	Ti	*	Z	1	1	1 11	1.01	1	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL 0 sho	g	1	0	0	1.01	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1.01	0	1	0
LD (IX+d), g LD (IY+d), g	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1.06	0	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	d	0	1	0	1,08	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
LD (IX+d), g LD (IY+d), g	MC <sub>4</sub> ~MC <sub>6</sub>	Ti Ti Ti	*	Z	1	1	1	1	1	(08)	A (1
LD (IT Tu), g	MC <sub>7</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	IX+d IY+d	g	1-00 te	0	0	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
LD (HL),m	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	m	0	1	0	1	1	1	1
	MC <sub>3</sub>	$T_1T_2T_3$	HL	DATA	1	0	0	1	1	1	1
	MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	100	0	10	0
	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
LD (IX+d), m LD (IY+d), m	MC <sub>3</sub>	$T_1T_2T_3$	1st operand Address	d	0	1	0	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m Bay	0	1	0	1	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	IX+d IY+d	DATA	1	0	0	1	1	-A. (re	1
LD A, (BC) LD A, (DE)	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
LD A,(BC) LD A,(DE)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	BC DE	DATA	0	1	0	1 1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
LD A,(mn)	MG <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	196	1	1	1
	MC <sub>3</sub>	$T_1T_2T_3$	2nd operand Address	m	0	1	0	1914	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn	DATA	0	1	0	1	1	1	1
LD (BC), A LD (DE), A	MCı	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	Ti	*	Z	1	1	1	1	1	1	1
LD (DE), A	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	BC DE	А	1	0	0	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	1	1	1	1
LD (mn), A	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	1	0	104		1	1
	MC <sub>4</sub>	Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn	А	1	0	0	1	1	1	4.1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
LD A, I LD A, R	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	√S ∴ A 1	0	1	0	1	0
LD I, A LD R, A	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1.0	0	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1.0	0	1	0
LD ww, mn	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	1	1	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m 2mt	0	1	0	1	1	1	1
	MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1.0	0	1	0
LD IX, mn	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1S 1	0	1.01	0	1	1
LD IY, mn	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	1	0	1.0	1	1	1
LD HL,(mn)	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1.0	0	1	0
LD 11L, (IIII)	MC <sub>2</sub>	$T_1T_2T_3$	1st operand Address	n	0	1	0	1:01	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
. 0.	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	A 1	0	1	. 1	1	A 10
LD HL, (mn)	MC <sub>4</sub>	$T_1T_2T_3$	l mn Ö sba	DATA	0	A 1	0	1.0	1	1	1
	MC <sub>5</sub>	$T_1T_2T_3$	mn+1	DATA	0	1	0	1 0	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	S 1	0	1 0	0	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	A 1	0	1	1	1	1
LD ww, (mn)	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m n	0	S A 1	0	1	1	1	× 1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn	DATA	0	1 1	0	1	1	1	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn + 1	DATA	0	1	0	1.0	1	1	1
LD IX, (mn)	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
LD IY, (mn)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n abo	0	1	0	108/	1	1	1
LD IX,(mn) LD IY,(mn)	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	1	0	1	1	1	1
1	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn O	DATA	0	1	0	1014	1	ww1.(0)	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn + 1	DATA	0	1	0	1014	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	1014	1	1	1
LD (mn), HL	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	1	0	101/	1	1	1
	MC <sub>4</sub>	Ti	* 0	Z	e e 1	1	1	10)//	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn 0	L	reco te ea 166/	0	0	101/	1	XI for	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn + 1	H	1 1	0	0	1000	1	1	1
LD (mn), ww	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	10%	0	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	101/	1	1	1
LD (mn), ww	MC <sub>4</sub>	$T_1T_2T_3$	2nd operand Address	≙ m	0	1	0	101/2	1	1	1
	MC <sub>5</sub>	Tio	* 0 A1	Z	1	1	T-11.T	100	1	1	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn 0 8685	wwL	1-00 ta	0	0	1044	1	1	1
	MC7	$T_1 T_2 T_3$	mn + 1	wwH	1	0	0	1014	1	1	1
4 4	MCi	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	101/	0	1	0
	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	10M	0	1	1
LD (mn),IX LD (mn),IY	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	n	0	1	0	10v	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd operand Address	m	0	1	0	1014	1	1	1
	MC <sub>5</sub>	Tio	* 0 sbes	Z	1		1	1510	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
LD (mn), IX LD (mn), IY	MC <sub>6</sub>	$T_1 T_2 T_3$	mn o o	IXL IYL	1	0	0	1.00	1	1	1
LD (IIII), IT	MC <sub>7</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	mn + 1	IXH IYH	1-01	0	0	1	1	1	=1
LD SP, HL	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	Ti o	* * 6	Z	1	1	T.1 T	1	1	1	1
D CD IV	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
LD SP, IX LD SP, IY	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC <sub>3</sub>	Ti	*	Z labo	1	1	1	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
LDI	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
LDD	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL	DATA	0	1	0	1.0	1	1	1
	MC <sub>4</sub>	$T_1T_2T_3$	DE and	DATA	1	0	0	1.0	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪOĒ	LIR	HALT	ST
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
LDIR	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1.0	0	1	1
LDDR (If BC <sub>R</sub> ≠0)	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL 0 sbo	DATA	0	1	0	1	1	1	1
	MC <sub>4</sub>	$T_1T_2T_3$	DE	DATA	1	0	0	1	1	1	1
	MC <sub>5</sub> ~MC <sub>6</sub>	Ti Ti	* 950	Z	1	1	1	1.0	1	1	1
	MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	A 1	0	1.5	0	1	0
LDIR	MC <sub>2</sub>	$T_1 T_2 T_3$	2nd op-code Address	2nd op-code	0	1	0	10	0	1	1
LDDR (If $BC_R = 0$ )	MC <sub>3</sub>	$T_1T_2T_3$	HL 0 900	DATA	0	A 1	0	1.0	1	1	1
	MC <sub>4</sub>	$T_1T_2T_3$	DE O	DATA	1	0	0	10	1	1	1
MLT ww	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1.0	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
MLT ww	MC <sub>3</sub> ~ MC <sub>13</sub>	TITITITI TITITITI TITITI	* 0	Z	1	1	1	1.04	1	1	1
NEG	MC <sub>1</sub>	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
NOP	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
OUT (m), A	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	m	0	1	0	1	1	1	1
	MC <sub>3</sub>	Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	m to $A_0 \sim A_7$ A to $A_8 \sim A_{15}$	Α	1	0	1	0	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
UT (C),g	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC <sub>3</sub>	Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>4</sub>	$T_1T_2T_3$	BC	g	1	0	1	0	1	1	1

Instruction		Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
		MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1,04	0	1	0
				2nd op-code	2nd			TITIT	esalv			
		MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	Address	op-code	0	1	0	1	0	1	1
OUTO (m), g	0	1 1	0	1st operand	-pag-	odress	A: I	TYLIT	YON			
		MC <sub>3</sub>	$T_1T_2T_3$	Address	m	0	1	0	1	1	1	1
	01	15.0	1 0	ode o	-(10)	adrous	A	TITIT	10N			
		MC <sub>4</sub>	Ti	*	Z	1	1	1	1	1	1	1
	0	li en de	0.	m to A <sub>0</sub> ~ A <sub>7</sub>		agentil	A I	Tellat	JON JON			
		MC <sub>5</sub>	$T_1T_2T_3$	00H to A <sub>8</sub> ~A <sub>15</sub>	g	1	0	1	0	1	1	1
0	0.	1 1	-0	1st op-code	1st	Rashbo	4	Tal H				
		MC <sub>1</sub>	$T_1T_2T_3$	Address	op-code	0	1	0	1	0	1	0
	-74		0	2nd op-code	2nd	Rearbt	Ac. ()	TITIT			A.Sm	TU
OTIM		MC <sub>2</sub>	$T_1 T_2 T_3$	Address	op-code	0	1	0	106	0	1	1
76.13(1)		MC <sub>3</sub>	Ti	*	Z	1.1	1	1	1	1	1	1
OTDM		MC <sub>4</sub>	$T_1T_2T_3$	HL	DATA	0	1	0	108	1	1	1
	0	MC <sub>5</sub>	$T_1T_2T_3$	C to A <sub>0</sub> ~ A <sub>7</sub> 00H to A <sub>8</sub> ~ A <sub>15</sub>	DATA	1	0 -	1 1 7	0	1	1	1
		MC <sub>6</sub>	Ti	*	Z	3-01 br	1	1	1	1	1	1
OTIMR OTDMR (If B <sub>r</sub> ≠0)		MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	104	0	1	0

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	in in
OTIMR	MC <sub>3</sub>	Ti	*	Z	1	1	1	1	1	1	1
OTDMR	MC <sub>4</sub>	$T_1T_2T_3$	HL	DATA	0	1	0	1	1	1	1
(If B <sub>r</sub> ≠0)	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	O to A <sub>0</sub> ~A <sub>7</sub> 00H to A <sub>8</sub> ~A <sub>15</sub>	DATA	1	0	TOT	0	1	1	1
	MC <sub>6</sub> ~MC <sub>8</sub>	тітіті	* 0 sbo	Z	1	A 1	11	1	1	1	in the
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
OTIMR	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
OTDMR	MC <sub>3</sub>	Ti	*	Z	1	1	1	1	1	1	1
$(If B_r = 0)$	MC <sub>4</sub>	$T_1T_2T_3$	HL	DATA	0	1	0	1	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	C to A <sub>0</sub> ~ A <sub>7</sub> 00H to A <sub>8</sub> ~ A <sub>15</sub>	DATA	1	0	1	0	1	10	HOTO 1
	MC <sub>6</sub>	Ti	*	Z	1	1	1	1	1	1	1
DUTI	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
OUTD	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
OUTI	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL	DATA	0	1	0	1	1	1	1
OUTD	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	вс	DATA	1	0	1	0	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
OTIR OTDR (If B <sub>r</sub> ≠0)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL	DATA	0	1	0	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	BC	DATA	1	0	1	0	1	1	1
	MC <sub>5</sub> ~MC <sub>6</sub>	Ti Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
OTIR OTDR	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
(If $B_r = 0$ )	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL	DATA	0	1	0	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	BC	DATA	1	0	1	0	1	1	1
POP zz	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP	DATA	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
POP zz	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP+1	DATA	0	1	0	1	1	1	1
POP IX	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	100	0	1	0
POP IY	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	a 1	0	1	0	1	1111
	MC <sub>3</sub>	$T_1 T_2 T_3$	SP	DATA	0	1	0	1	1	1	1
	MC <sub>4</sub>	$T_1 T_2 T_3$	SP+1	DATA	0	1	0	1	1	1	1
0 1 0	MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
PUSH zz	MC <sub>2</sub> ~MC <sub>3</sub>	Ti Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-1	zzH	1	0	0	1	1	1	1
	MC <sub>5</sub>	$T_1 T_2 T_3$	SP-2	zzL	1	0	0	1	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
DI ISH IV	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1.00	0	1	1
PUSH IX PUSH IY	MC <sub>3</sub> ~MC <sub>4</sub>	Ti Ti	*	Z	1	1	1	1	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-1	IXH IYH	100	0	0	101	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪOE	LIR	HALT	ST
PUSH IX		0	o A	IXL		8	TEVET	100			3 300
PUSH IY	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-2	IYL	1	0	0	1	1	1	1
			1st op-code	1st	st op-o	1					
	MC <sub>1</sub>	$T_1T_2T_3$	Address	op-code	0	1	0	1	0	1	0
RET	MC <sub>2</sub>	$T_1 T_2 T_3$	SP 0 alloc	DATA	0	1	0	104	1	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP+1	DATA	0	1	0	1	1	1	1
	IVIU3	11 12 13	1st op-code	1st	0		0			_	
RET f (If condition is false)	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	Address	op-code	0	1	0	10	0	1	0
	MC <sub>2</sub> ~MC <sub>3</sub>	Ti Ti	*	Z	1	1	1	1 1	1	1	1
		0	1st op-code	1st	1.58	8	TITLE				
	MC <sub>1</sub>	$T_1T_2T_3$	Address	op-code	0	1	0	1	0	1	0
RET f	MC <sub>2</sub>	Tio	* 0 obor	Z	1	1	Te1 T	100	1	1	1
is true)	MC <sub>3</sub>	$T_1T_2T_3$	SP	DATA	0	1	0	10	1	1	1
	MC <sub>4</sub>	$T_1T_2T_3$	SP+1	DATA	0	1	0	1	1	1	1
RETI RETN	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	10	0	1	0

Instruction	FIL	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
RETI RETN		MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	100	0	1	1
		MC <sub>3</sub>	$T_1T_2T_3$	SP	DATA	0	1	0	1	1	1	1
64		MC <sub>4</sub>	$T_1T_2T_3$	SP+1	DATA	0	1	0	1	1	1	1
RLCA RLA RRCA RRA	à	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
RLC g RL g	101	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
RRC g RR g		MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
SLA g SRA g SRL g		MC <sub>3</sub>	Ti	*	Z	1	1	1	100	1	1	1
RLC (HL) RL (HL)	T	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
RRC (HL) RR (HL)	D.	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
SLA (HL)	0	MC <sub>3</sub>	$T_1T_2T_3$	HL	DATA	0	1	0	1	1	1	1

Instruction		Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
SRA (HL) SRL (HL)	()	MC <sub>4</sub>	Ti	* 0 obec	Z Z	ndo ba	1	1	10%	1	1	1
		MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL D	DATA	1	0	0	101	1	1	1
RLC (IX+d) RLC (IY+d)	1	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	10N	0	1	0
RL $(IX+d)$ RL $(IY+d)$		MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
RRC (IX+d) RRC (IY+d)		MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	d	0	1	0	1	1	1	1
RR (IX+d) RR (IY+d)		MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	3rd op-code Address	3rd op-code	0	1	0	100	0	1	1
SLA (IX+d) SLA (IY+d)		MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	IX+d IY+d	DATA	0	1	0	100	1	1	1
SRA (IX+d) SRA (IY+d)		MC <sub>6</sub>	Ti	*	Z	1	1	1	10%	1	1	1
SRL (IX+d) SRL (IY+d)		MC <sub>7</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	IX+d IY+d	DATA	p-(1) II	0	0	1	1	1 11	1
RLD RRD	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0	
	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	A1	

Instruction	AL	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
RLD RRD		MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL 0 abo	DATA	0	1	0	1	1	1	1
		MC <sub>4</sub> ~MC <sub>7</sub>	ТіТіТіТі	* 0 900	Z	1	1	117	1	1	1	1
T.	ř	MC <sub>8</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL 0 A	DATA	1	0	0	100	1	1-0	1
		MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	100	0	1	0
RST v		MC <sub>2</sub> ~MC <sub>3</sub>	Ti Ti	* 1	Z	1	1	1	100	1	1	1
	10	MC <sub>4</sub>	$T_1T_2T_3$	SP-1	PCH	1 100	0	0	108	1	1	1
1 1	Ó	MC <sub>5</sub>	$T_1T_2T_3$	SP-2	PCL	1	0	0	10%	1	1	1
SCF	1	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	10%	0	1010	0
1	0	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
SET b, g RES b, g	1	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	100	0	1 -	1
	1	MC <sub>3</sub>	Ti	*	Z	1	1	1.7	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
	MCı	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	108	0	1	0
	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
SET b,(HL) RES b,(HL)	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL I A	DATA	0	1	0	10	1	1	1
0 1 0	MC <sub>4</sub>	Ti	* 0 abor	Z	1	1	1	10	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	HL	DATA	1	0	0	1	1	1	1
	MC <sub>1</sub>	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	10	0	1	0
SET b, (IX+d)	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
SET $b$ , $(IY + d)$ RES $b$ , $(IX + d)$	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	d	0	1	0	1	1	1	1
RES b, (IY+d)	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	3rd op-code Address	3rd op-code	0	1	0	1	0	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	IX+d IY+d	DATA	0	1	0	1,01	1	1	1
	MG <sub>6</sub>	Ti	*	Z	1	1	1	10	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŒ	LIR	HALT	ST
0 - 4-	MC <sub>7</sub>	$T_1 T_2 T_3$	IX+d IY+d	DATA	88 p.000	0	0	10	1	1	1
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	10	0	1	0
SLP	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
10 1 1	0 +	-	7FFFFH	Z	ита и 82 <b>1</b> :08	1	1	1	1	0	1
	MC <sub>1</sub>	$T_1T_2T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
TSTIO m	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1.01	0	1	1
10110 111	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	m	0	1	0	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	C to A <sub>0</sub> ~A <sub>7</sub> 00H to A <sub>8</sub> ~A <sub>15</sub>	DATA	0	1	1	0	1	1	1
	MC <sub>1</sub>	$T_1 T_2 T_3$	1st op-code Address	1st op-code	0	1	0	1	0	1	0
TST g	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC <sub>3</sub>	Ti	*	Z	1	1	1	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	IOE	LIR	HALT	ST
	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1	0	1	0	1	0
TST m	MC <sub>2</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	2nd op-code Address	2nd op-code	0	1	0	1	0	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st operand Address	m	0	S 1	0	1_0	1	1	1
. 0	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1st op-code Address	1st op-code	0	1 2	0	1	0	1	0
TOT (III.)	MC <sub>2</sub>	$T_1T_2T_3$	2nd op-code Address	2nd op-code	0	A 1	0	1,01	0	1	1
TST (HL)	MC <sub>3</sub>	Ti O	* 0 eno	Z	1	1	1.1	1.0	1	1	1
	MC <sub>4</sub>	$T_1T_2T_3$	HL 0	DATA	0	1	0	10	1	1	1

### INTERRUPT

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪOE	LIR	HALT	ST
			Next op-code	1			IT	ioks			IAS
	MC <sub>1</sub>	$T_1T_2T_3$	Address (PC)		0	1	0	1	0	10118	0
	MC <sub>2</sub>	U	(H)(S)	1774	1 20	2 0	Total	MCK		-	-
NMI	$\sim$ MC $_3$	Ti Ti	*	Z	1	1	- 1	1	1	1	1
		0 1		- Died	8-4	8 1 5	FEFT	ADM.			
	MC <sub>4</sub>	$T_1T_2T_3$	SP-1	PCH	1	0	0	1	1	1	1
	A   0			Y (09	azenti.		11,47	TOM			_
	MC <sub>5</sub>	$T_1T_2T_3$	SP-2	PCL	1	0	0	1	1	1	1
		$T_1 T_2 T_W$	Next op-code	1st	1-6	3/1 3	TELLIT	EDIV			
	MC <sub>1</sub>	$T_WT_3$	Address (PC)	op-code	1	1	1	0	0	1	0
INT₀ MODE 0	MC <sub>2</sub>			100	L S - 9	2 1 1	Pribre	status			
(RST	~MC <sub>3</sub>	Ti Ti	*	Z	1	1	1	1	1	1	1
INSERTED)	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-1	PCH	1	0	0	1	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-2	PCL	1	0	0	1	1	1	1
		$T_1 T_2 T_W$	Next op-code	1st			TIT	, ON			
NT <sub>0</sub> MODE 0	MC <sub>1</sub>	$T_WT_3$	Address (PC)	op-code	1	1	1	0	0	1	0
(CALL				004	5,- "			- DE			
INSERTED)	MC <sub>2</sub>	$T_1T_2T_3$	PC	n	0	1	0	1	1	1	1
	MC <sub>3</sub>	$T_1 T_2 T_3$	PC+1	m	0	1	0	1	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪOE	LIR	HALT	ST
INTO MODE O	1200	Harris M	y de as	10 20	andia.		The same	iyele:	1		1
(CALL	MC <sub>4</sub>	Ti	*	Z	1	1	1	1		1	1
INSERTED)	MC <sub>5</sub>	$T_1T_2T_3$	SP-1	PC+2(H)	1	0	0	1	1	1	1
	MC <sub>6</sub>	$T_1T_2T_3$	SP-2	PC+2(L)	1	0	0	1	1	1	1
1 1 1	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>W</sub>	Next op-code Address (PC)	Z	1	1	1	0	0	1	0
INT <sub>0</sub> MODE 1	MC <sub>2</sub>	$T_1T_2T_3$	SP-1	PCH	1	0	0	1	1	1	1
	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-2	PCL	1	0	0	1	1	1	1
1 1	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>W</sub> T <sub>W</sub> T <sub>3</sub>	Next op-code Address (PC)	ベクタ	1	1	1	0	0	1	0
	MC <sub>2</sub>	Ti	*	Z	1	1	1	DIM 1	1	1	1
INT <sub>0</sub> MODE 2	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-1	PCH	1	0	0	1	1	1	1
	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-2	PCL	1	0	0	1	1	0 300	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1,ベクタ	DATA	0	1	0	100	1	1	1

Instruction	Machine Cycle	States	ADDRESS	DATA	RD	WR	ME	ĪŌĒ	LIR	HALT	ST
INT <sub>0</sub> MODE 2	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1, ベクタ+1	DATA	0	1	0	7 1 MS	1	1	1
# 1-08 Hos	MC <sub>1</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>W</sub> T <sub>W</sub> T <sub>3</sub>	Next op-code Address (PC)	Z	1	1	1	1	1	1	0
	MC <sub>2</sub>	Ti	*	Z	1	1	1	1	1	001	1
INT <sub>1</sub> INT <sub>2</sub>	MC <sub>3</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-1	PCH	1	0	0	1	1	1	1
内部割込み	MC <sub>4</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	SP-2	PCL	1	0	0	1	1	1	1
	MC <sub>5</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1,ベクタ	DATA	0	1	0	1	1	1	1
	MC <sub>6</sub>	T <sub>1</sub> T <sub>2</sub> T <sub>3</sub>	1,ベクタ+1	DATA	0	1	0	1	1	1	1

# 表-1 HD64180オペコードマップ

### 第1オペコード XXの形の命令

				V	vw(LO	=ALL	)	1									L0=	0-7	HODE	
				BC	DE	HL	SP	100								BC	DE	HL	AF	ZZ
							g (LO	=0~7	)		-1-					NZ	NC	PO	Р	f
				В	D	Н	(HL)	В	D	Н	(HL)	nes-da				00H	10H	20H	30H	٧
			Н	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111	
		LO	\	0	1	2	3	4	5	6	7	8	9	Α	В	C	D	E	F	
	В	0000	0	NOP	DJNZ i	JR NZ,	JR NC.	1		3			28		9	1 50	RE	T f		0
1	C	0001	1			w, mn					注1)						POF	D ZZ		1
1	D	0010	2	ID(w		LD (mn)	LD (mn)	1			!		47377311			100	JP	f, mn		2
	-	00.0	-			HL	. A					100	-10	- 37		JP mn	OUT (m)	EX(SP)	DI	3
ł	E	0011	3		INC	ww	-		LD g, s	3		ADD A	SUB s	AND s	OR s		, А	,HL	E TO THE	
-	Н	0100	4		INC g		注1)	111	G.			, s	-98		11 11	354	CALL	f, mn		4
-	L	0101	5		DEC P		注1)				1			To the second				SH ZZ		Ę
ALL	(HL)	0110	6		LD g, r		注1)		注2)	TAG	HALT	注2)	注2)	注2)	注2)	ADD A,m	SUB m	AND m	OR m	6
1	A	0111	7		RLA		SCF										RS	Tv		7
	В	1000	8	EXAF, AF	JR i	JR Z, i	JR C,				-T-						RE	T f		8
	C	1001	9			HL, ww		- 0				149		10	21-22	RET	EXX	JP(HL)	LD SP,	ć
	D	1010	Α			LD HL.							-						HL	
0		10.0	12.2		, , , , , ,	(mn)	(mn)							100			JP	f, mn		A
	E	1011	В		DEC	ww	1 ()		LD	g, s		ADC A	SBC A	XOR s	CP s	表2	IN A, (m)	EXDE, HL	EI	E
	Н	1100	C		IN	C g						, 5	, 5				CALL	_ f, mn		(
	L	1101	D			Cg								Maria		CALL mn	注3)	表3	注3)	
	(HL)	1110	E			g, m			; <u> </u>	2)		注2)	注2)	注2)	注2)	ADC, A, m	SBC A,m	XOR m	CP m	E
	A	1111	F	RRCA		CPL	CCF										RS	T v		F
	~			0	1	2	3	4	5	6	7	8	9	А	В	C	D	E	F	
				C	E	L	A	C	E	L	Α	11 11		1	1177	Z	C	PE	M	1
					_			=8~F)				1				08H	18H	28H	38H	١
					_		8,20					_					LO=	8~F		

- 注1) gが(HL)に置きかわる。
- 注2) sが(HL)に置きかわる。
- 注3) オペコードの先頭にDDを付加すると(DD XX)、オペランドとして、HL、(HL) をもつ命令のみ  $HL \rightarrow IX$  と置きかえられて同じオペレーションをする。  $(HL) \rightarrow (IX + d)$

(例) 22H;LD (mn),HL ↓

DDH 22H; LD (mn), IX

同様にオペコードの先頭にFDを付加すると、(FD XX)として HL→IY (HL)→(IY+d)

と置きかえられて、同じオペレーションをする。

(例) 34H; INC (HL)
↓
FDH 34H; INC (IY+d)

ただし、例外として、E9HのJP(HL)は、先頭にDDH, FDHを付加した場合、(HL)は(IX)、(IY)に置きかえられる。 また、EBHのEX DE, HL は、先頭にDDH, FDHを付加しても、HLの置き換えは無く未定義命令となる。

	HD6/180	1 . 0 -	1 1	
= 0		7		, ,
777-/		/ /		, ,

第2オペコード CBXXの形の命令

						Boat I				b	(L0:	=0~7	)					
					- 49	0	2	4	6	0	2	4	6	0	2	4		
	Н	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	-		
LO	\	0	1	2	3	4	5	6	7	8	9	Α	В	C	D	E	F	
0000	0				in in									1000				L
0001	1																	H
0010	2													1, 115				H
0011	3									1 .3	\$ TH	1430		TO CO.	057			-
0100	4	RLC g	RL g	SLA g		J=L	BIT	b, g			RES	b, g			SEI	b, g		-
0101	5							-,		1112						-1\		+
	6	注1)	注1)	注1)			;à	1)			) <u>±</u>	1)			; <del>I</del>			+
0111	7												<u> </u>	No.	6		7-51-1	t
																		H
														MI-HP				H
						1												H
					001	t et al	DIT	NO.		先回走	DEC	h a		7.	SET	Tha		+
	_	RRC g	RR g	SHA g	SHL g		BII	b, g			RES	o u, g		- Nic	SE	, b, g		-
	_						3	-1\		-	F003	-1\		T TI	7-75	=1)		+
		注1)	注1)	注1)	注1)		E											+
1111	F		-	0	0	1	- E	6	7	0	0	Ι Λ	B	C	In	F	F	+
		0	1	2	3	4		_		1	-	0.00		1	_			+
							3	5	/	h		200					-	1
	0000 0001 0010 0011 0100 0101 0101	L0 0000 0 0001 1 0010 2 0011 3 0100 4 0101 5 0110 6 1011 7 1000 8 1001 9 1010 A 1011 B 1110 C 1110 D	LO	LO	LO	LO	HI	HI	HI	HI	Note	Note	Name	Hi	Note	Note	Note	Note

注1) オペコードの先頭にDDHを付加し、DD CB d XXというオペコードで(HL)を(IX+d)で置きかえた命令を実行する。 同様にオペコードの先頭にFDHを付加し、FD CB d XXというオペコードで(HL)を(IY+d)で置きかえた命令を実行する。

#### 表-3 HD64180オペコードマップ 第2オペコード EDXXの形の命令 ww (LO=ALL) BC DF HL SP (L0=0~7)0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 3 4 E 0000 INO g, (m) IN g, (C) LDI LDIR 0001 OUTO (m), g OUT (C),g CPI CPIR 0010 2 SBC HL, ww INI INIR 0011 LD (mn), ww OTIM OTIMR OUTI OTIR 3 0100 4 TST g TST (HL) TST m TSTIO m NEG RETN 5 0110 IM1 IMO SLP LD I.A LD A.I RRD 7 1000 8 IN0 g, (m) IN g, (C) LDD LDDR 8 1001 OUTO (m), g OUT (C),g CPD CPDR 9 1010 ADC HL.ww IND INDR A 1011 LD ww. (mn) OTDM OTDMR OUTD OTDR В 1100 TST g

MLT ww

F

6

Δ

8

B

RETI IM2 LD R.A LD AR RLD

3

g (L0=8~F

F

F

## 内蔵 I/Oレジスタ早見表

」 // Oレジスタのアドレスは、上位8ビットすべて"0"であり、下位8ビット中MSBから2ビットは、1/0コントロールレジスタ内のIOA7とIOA6により設定できます。以下の表に示すアドレスは、IOA7とIOA6が"0"の場合です。

レジスタ	ニーモニック	アドレス	. 17		備	-0=		考			
ASCIコントロールレ		00	ピット	MPE	RE	TE	RTS0	MPBR EFR	MOD2	MOD1	MOD0
	: CNTLA0	102	リセット時	0	0	0	1	不定	0	0	0
		I GPI	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ASCIコントロールレ	ジスタAチャネル1	01	ビット	MPE	RE	TE	CKA1D	MPBR	MOD2	MOD1	MOD0
	: CNTLA1		リセット時	0	0	0	0	不定	0	0	0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		OPD OPD OMI OWE OUTD	001:	Start +	7bit Da 7bit Da 7bit Da	ta+2s	top	eton			
			011 : 100 :	Start + Start +	7bit Da 8bit Da 8bit Da	nta + Pa nta + 1 s	rity+2s top				
		A 8	110:	Start +	8bit Da	ata + Pa	rity+1s				

レジ	スタ		ニーモニ	ニック	アドレス			備	FF		考			
ASCIコント	コール	レジス			0 2	ビット	MPBT	MP	CTS/PS	PE0	DR	SS2	SS1	SS0
			: CNTL	.60	0 0	リセット時	不定	0	*	0	0	1	1	1
				19	R R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
				SWEET	n to the	00U *		: CTS端				ます。います。		
ASCIコントロ	コール	レジスク			0 3	ピット	MPBT	MP	CTS/PS	PE0	DR	SS2	SS1	SS0
			:CNTL			リセット時	不定	0	0	0	0	1	1	1
				19		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
				37		総合分周比	P	S=0 (	分周比=	= 10)	PS	i=1 (分	周比=	30)
				0		SS2, 1, 0	DR=	0(×16	DR=	1(×64)	DR=	O(×16)	DR=1	(×64)
				Я		0 0 0 0 0 1 0 1 0 0 1 1 1 0 0 1 0 1 1 1 1 0		320 640 1,280	÷ ÷ ÷	640 1,280 2,560 5,120 10,240 20,480 40,960	÷1	480 960 1,920 3,840 7,680 15,360 30,720	÷	1,920 3,840 7,680 15,360 30,720 61,440 22,880
						1 1 1	外部	クロッ	ク入力(	÷40以	上)	200		V VICE

レジスタ	ニーモニック	アドレス			備	17	94	考		223	- W
ASCIステータスレジ		0 4	ビット	RDRF	OVRN	PE	FE	RIE	DCD0	TDRE	TIE
	:STATO		リセット時	0	0	0	0	0	*	* *	0
	A WAR WAR		R/W	R	R	R	R	R/W	R	R	R/W
	を主式返り返り速 まっていなご提供		* 01511	* D	CD <sub>0</sub> 端子	一の状態	態を取込	みます	0		
	PEG 08 3		TERM			* *	CTSo站	端子 │ T[	DRE		
	O O		宝不 朝日 W R				L		1		
ASCIモード/ステー		0 5	ビット	RDRF	OVRN	PE	FE	RIE	CTS1E	TDRE	TIE
		= BO (8) ×	リセット時	0	0	0	0	0	0	1	0
		÷ 6 081	R/W	R	R	R	R	R/W	R/W	R	R/V
ASCIトランスミットデー		0 6	+ 6	0.0							
ASCIトランスミットデー	-タレジスタチャネル1 : TDR1	0 7									
ASCIレシーブデータ	レジスタチャネル0 : TSR0	0 8									
		0 9									

レジスタ	ニーモニック	アドレス			储	Ħ		考			
CSI/Oコントロールレ	シジスタ :CNTR	0 A	ビット	EF	EIE	RE	TE		SS2	SS1	SS0
	10 0	0 0	リセット時	0	0	0	0	1	1	1	1
		W A B	R/W	R	R/W	R/W	R/W		R/W	R/W	R/W
		E WilsoT	SS2, 1, 0	100	ボーレー	-  -	SS2	, 1, 0	ボー	-V-I	
		1 Post v	000	0	φ÷ 2	20	1 (	0 0	ø.	÷ 320	
		戊世。	0 0 1	0.	÷ 4	10	1 (	0 1		÷ 640	
		TO H	0 1 0	1	÷ 8	80	1	1 0		÷ 1,280	
		15.1	0 1 1	1	÷ 16	60	1	1 1	外部(	÷20以	上)
CSI/Oトランスミット/レ	シーブデータレジスタ : TRDR	0 B							v fé c		Try
タイマデータレジスタ	チャネルOL :TMDROL	0 C									
タイマデータレジスター	チャネルOH :TMDR0H	0 D									
			6.3								
タイマリロードレジスタ	チャネルOL : RLDROL	0 E									
タイマリロードレジスタ	チャネル0H :RLDR0H	0 F									

レジスタ	ニーモニック	アドレス	備				667	考	1233		
タイマコントロールレジ	ジスタ	1 0	ビット	TIF 1	TIFO	TIE1	TIEO	TOC1	TOCO	TDE1	TDEO
	: TCR		リセット時	0	0	0	0	0	0	0	0
		W R W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
		3-4	T0C1,0	SSS	A <sub>18</sub> /T	out端子					
		+ 20	0 0	0.0	タイマ出	力禁止					
		- 40	0 1	0:0	トグル出	カ					
		08 +	1 0	101	"0"出力						
タイマデータレジスタチャネル1L : TMDR1L		1 4	1 1	0	"1"出力						
タイマデータレジスタチャネル1H : TMDR1H		1 5									
タイマリロードレジスタ	アチャネル1L : RLDR1L	1 6									
タイマリロードレジスク	タチャネル1H :RLDR1H	1 7									
フリーランニングカウ	ンタ :FRC	1 8	リードのみ								
DMAソースアドレスし	ンジスタチャネル0L :SAR0L	2 0									
DMAソースアドレスし	ンジスタチャネル0H :SAR0H	2 1									

レジスタ	ニーモニック	アドレス		備	考				
DMAソースアドレスレジスタチャネル0B:SAR0B		2 2	ビット0,1,2のみ	·使用 8 S	ALLES TERRITORIES VILLE AND ALLES VILLE				
			A <sub>18</sub> , A <sub>17</sub> , A <sub>16</sub>	0.0					
			× 0 0	DREQ <sub>0</sub> (外部)					
			× 0 1	RDRO (ASCIO)					
			× 1 0	RDR1 (ASCI1)					
			× 1 1	Not Used					
DMAデスティネイションアドレ	スレジスタチャネルOL : DAROL	2 3							
DMAデスティネイションアドレ	スレジスタチャネルOH :DAROH	2 4							
DMAデスティネイションアドレ	スレジスタチャネル0B :DAR0B	2 5	ビット0, 1, 2のみ A <sub>18</sub> , A <sub>17</sub> , A <sub>16</sub>	<b>★</b> 使用					
	DWED DEL								
	0 1		× 0 0 × 0 1	DREQ <sub>0</sub> (外部) TDRO (ASCIO)					
	H W H W		× 1 0	TDR1 (ASCI1)					
			× 1 1	Not Used					
DMAバイトカウントレジ	スタチャネルOL : BCROL	2 6	80.1	28 IE					
DMAバイトカウントレシ	スタチャネルOH : BCR0H	2 7							

レジスタ	ニーモニック	アドレス			備			考			
DMAメモリアドレスレ	ンスタチャネル1L :MAR1L	2 8	1.2の斗使用		2	2		APTEX SAR	Quit,	-A.PP41	ÇAM
DMAメモリアドレスレ	ジスタチャネル1H :MAR1H	2 9	MA DE								
DMAメモリアドレスレ	ジスタチャネル1B : MAR1B	2 A	ピット0,1,2		用						
DMA I/Oアドレスレ	ジスタチャネル1L :IAR1L	2 B	1 1 Not								
DMA I/Oアドレスレジスタチャネル1H : IAR1H		2 C									
DMAバイトカウントレジスタチャネル1L : BCR1L		2 E									
DMAバイトカウントレ	ジスタチャネル1H : BCR1H	2 F	1,2003e健康 at Aus	01 V 5	i i	S.		BAR	JESP S	EK NEK	K TAN
DMAステータスレジス		3 0	ピット	DE1	DEO	DWE1	DWEO	DIE1	DIEO		DME
	: DSTAT	(ABCIO)	リセット時	0	0	1	1	0	0	1	0
		(ASOIT)	R/W	R/W	R/W	W	W	R/W	R/W		R
		District	17/7			DM1	DMO	SM1	SMO	MMOD	
DMAモードレジスタ		3 1	ビット		T	DIVIT	Divio	-	Carlind.	-	
DMAモードレジスタ	: DMODE	3 1	ビット リセット時	1	1	0	0	0	0	0	1

L	ジスタ	ニーモニック	アドレス			fi	<b></b>		考			
			o mio	DM1, 0	EMC	アド	レス	S	M1, 0		ア	ドレス
			0.0	0 0	M	DAF	7+1		0 0	М	SA	R+1
			1.0	0 1	M		- 1		0 1	М	0,	-1
			0.7	1 0	M		固定		1 0	М		固定
			1.7	1 1	1/0		固定		1 1	1/0		固定
			an ea	MMOD	1		E -	<				
			D O	1	サイクルスチールモード バーストモード							
DMA/V		ルレジスタ : DCNTL	3 2	ビット	MWI1	MWIO	IWI1	IWIO	DMS1	DMS0	DIM1	DIM
			- 031	リセット時	1	1	1	1	0	0	0	0
			1 0	R/W	R/W	R/W	R/W	R/W	R/W	P/W	D /W	100
			9	WE G	100			11/ 11	11/ 11	11/ 44	H / W	17
				MWI 1, 0	ウェイ	トステ	- 1	IV	VI 1, 0	ウェイトステート		
			- M.43	0 0	1 - 29	0	3	0.0		JI-D-	0	St milks
				0 1		1			0 1		2	
				. 0		2			1 0		3	
			W	W 1.1		3			1 1		4	

レジスタ	ニーモニック	アドレス			備	44	662	考		020	
FFFE	SM10 FFF		DMSi	DML	DI	M1,0			アドレ	ス増減	11
		1+980	1 I	ッジ入力		0 0	M→I/C	1 (	MAR+1	IAR固	定
		1 =		ベル入力		0 1	M→I/C	1	MAR-1	IAR固	定
		家值	M			1 0	1/0→N	4 1	AR固定	MAR-	+ 1
		表面	0/1			1 1	1/0→1	1	AR固定	MAR-	- 1
ベクタレジスタ		3 3	ピット 00	IL7	IL6	IL5					
	:IL	クルスチー	リセット時	0	0	0	0	0	0	0	0
			R/W	R/W	R/W	R/W					45.0
INT / TRAP=>>=		3 4	ビット	TRAP	UFO		_	/Ind	ITE2	ITE1	ITEO
W S W S	:ITC	W B W	リセット時	0	0	1	1	1	0	0	1
			R/W	R/W	R				R/W	R/W	R/W
		1-75	1724 0	1 1411/11						CYC1	CYCC
リフレッシュコントロー	-ルレジスタ	3 6	ピット	REFE	REFW	-				0101	
	: RCR		リセット時	1	1	1	1	1	1	0	0
			R/W	R/W	R/W					R/W	R/W

レジスタ	ニーモニック	アドレス			盾	Ħ		考			
			CYC 1, 0	17 :	フレッシ	ノュサイ	クル間	隔			
			0 0		10	ステー	h-				
			0 1		20						
			1 0		40						
			1 1		80						
MMUコモンベースレジ		3 8	ビット		CB <sub>6</sub>	CB <sub>5</sub>	CB <sub>4</sub>	CB <sub>3</sub>	CB <sub>2</sub>	CB <sub>1</sub>	CB <sub>0</sub>
	: CBR		リセット時	0	0	0	0	0	0	0	0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MMUバンクベースレ		3 9	ビット		BB <sub>6</sub>	BB <sub>5</sub>	BB <sub>4</sub>	BB <sub>3</sub>	BB <sub>2</sub>	BB <sub>1</sub>	BB <sub>0</sub>
	: BBR		リセット時	0	0	0	0	0	0	0	0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MMUコモン/バンクコ		3 A	ビット	CA <sub>3</sub>	CA <sub>2</sub>	CA <sub>1</sub>	CA <sub>0</sub>	BA <sub>3</sub>	BA <sub>2</sub>	BA <sub>1</sub>	BA <sub>0</sub>
	: CBAR		リセット時	1	1	1	1	0	0	0	0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
1/0コントロールレジス		3 F	ビット	IOA <sub>7</sub>	IOA <sub>6</sub>	IOSTP		_		-	
	: ICR		リセット時	0	0	0	1	1	1	1	1
			R/W	R/W	R/W	R/W					

# 株式會社 日 立 製 作 斯

電子事業本部 〒100 東京都千代田区丸の内一丁目5番1号(新丸ビル) 電話 東京(03)212-1111(大代)

栃木電子部品営業所 西那須野 (02873) 6-3312

多摩電子部品営業所 立 川 (0425) 27-0410(代)

高崎電子部品営業所 高 崎(0273) 25-2161

松本電子部品営業所 松 本 (0263) 36-6632

茨城電子部品営業所 勝 田 (0292) 74-4011 (特 販 第 2 部) 勝

関西支店 大 阪 (06) 261-1111(大代)

京滋営業所 京 都 (075) 341-1771(代)

九州支店 福 岡(092) 741-5831(代)

中 部 支 店 名古屋 (052) 251-3111(大代)

北海道支店 札 幌(011) 261-3131(大代)

マイコンについての総合情報センター

日立マイコンセンター "GAIN" (03) 253-1405(代)

厚木電子部品營業所 厚 木 (0462) 22-0763 新潟電子部品事務所 新 潟 (0252) 41-8161(代) 横浜電子部品事務所 横 浜 (045) 871-3929 沼津電子部品事務所 沼 津 (0559) 32-4962

東北支店 仙 台(0222)23-0121(大代)

金沢営業所 金 沢(0762)63-2351(代)

中国支店 広島(082) 223-4111(代)

四国支店 高 松 (0878) 31-2111(代)